

12-22-00  
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Chihiro UCHIBORI

Application No.: 09/648,750

Filed: August 28, 2000

Attorney Dkt. No.: 108077-00000

For: METAL INTERCONNECTION, SEMICONDUCTOR DEVICE, METHOD FOR  
FORMING METAL INTERCONNECTION AND METHOD FOR  
FABRICATING SEMICONDUCTOR DEVICE

CLAIM FOR PRIORITY

Commissioner for Patents  
Washington, D.C. 20231

December 8, 2000

Sir:

The benefit of the filing dates of the following prior foreign applications filed in  
the following foreign country is hereby requested for the above-identified patent  
application and the priority provided in 35 U.S.C. §119 is hereby claimed:

**Japanese Patent Application No. 11-240866 filed on August 27, 1999 in Japan**

**Japanese Patent Application No. 2000-169361 filed on June 6, 2000 in Japan**

**Japanese Patent Application No. 2000-236744 filed on August 4, 2000 in Japan**

In support of this claim, certified copies of said original foreign applications are  
filed herewith.

It is requested that the file of this application be marked to indicate that the  
requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and  
Trademark Office kindly acknowledge receipt of these/this document(s).

Please charge any fee deficiency or credit any overpayment with respect to this  
paper to Deposit Account No. 01-2300.

Respectfully submitted,

  
Charles M. Marmelstein  
Registration No. 25,895

AREN'T FOX KINTNER PLOTKIN & KAHN, PLLC  
1050 Connecticut Avenue, N.W.,  
Suite 600  
Washington, D.C. 20036-5339  
Tel: (202) 857-6000  
Fax: (202) 638-4810

RECEIVED  
DEC 15 2000  
TC 2800 MAIL ROOM

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 8月 4日

出願番号

Application Number:

特願2000-236744

出願人

Applicant(s):

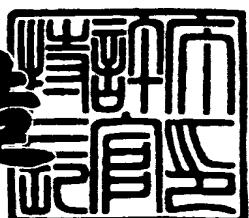
富士通株式会社

RECEIVED  
DEC 15 2000  
TC 2800 MAIL ROOM

2000年 9月 1日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3070510

【書類名】 特許願

【整理番号】 0040660

【提出日】 平成12年 8月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/28

【発明の名称】 金属配線構造、半導体装置及び半導体装置の製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 内堀 千尋

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第240866号

【出願日】 平成11年 8月 27日

【先の出願に基づく優先権主張】

【出願番号】 特願2000-169361

【出願日】 平成12年 6月 6日

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704681

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 金属配線構造、半導体装置及び半導体装置の製造方法

【特許請求の範囲】

【請求項1】 銅を主成分とする配線材がバリア層を介して絶縁膜に埋め込まれてなる金属配線構造であって、

前記配線材と前記バリア層とが、ジルコニウムを含む密着層を介して接合されている

ことを特徴とする金属配線構造。

【請求項2】 銅を主成分とする配線材がバリア層を介して絶縁膜に埋め込まれてなる金属配線構造であって、

前記絶縁膜と前記バリア層とが、ジルコニウムを含む密着層を介して接合されている

ことを特徴とする金属配線構造。

【請求項3】 請求項1又は2記載の金属配線構造において、  
前記密着層と前記バリア層との間に、銅-ジルコニウム合金からなる島状構造体が散在している

ことを特徴とする金属配線構造。

【請求項4】 銅を主成分とする配線材がバリア層を介して絶縁膜に埋め込まれてなる金属配線構造であって、

前記配線材と前記バリア層とが、銅中における固溶度が20%以下であり、銅中に固溶したときの比抵抗の増加が19.8%以下である金属材料を含む密着層を介して接合されている

ことを特徴とする金属配線構造。

【請求項5】 半導体基板上の絶縁膜に形成された開口部を埋め込むようにして金属配線が形成され、前記金属配線が前記半導体基板上の半導体素子と電気的に接続されている半導体装置であって、

前記金属配線は、前記開口部の内壁面を覆うように形成されたバリア層と、前記バリア層上を覆うように形成されたジルコニウムを含む密着層と、前記バリア層及び前記密着層を介して前記開口部に埋め込まれた銅を主成分とする配線材と

を有する

ことを特徴とする半導体装置。

【請求項6】 半導体基板上の絶縁膜に形成された開口部を埋め込むようにして金属配線が形成され、前記金属配線が前記半導体基板上の半導体素子と電気的に接続されている半導体装置であって、

前記金属配線は、前記開口部の内壁面を覆うように形成されたジルコニウムを含む密着層と、前記密着層を覆うように形成されたバリア層と、前記密着層及び前記バリア層を介して前記開口部に埋め込まれた銅を主成分とする配線材とを有する

ことを特徴とする半導体装置。

【請求項7】 請求項5又は6記載の半導体装置において、

前記バリア層と前記密着層との間に、銅-ジルコニウム合金からなる島状構造体が散在している

ことを特徴とする半導体装置。

【請求項8】 請求項5又は6記載の半導体装置において、

前記密着層は、散在して設けられた銅-ジルコニウム合金からなる島状構造体を包含している

ことを特徴とする半導体装置。

【請求項9】 半導体基板上の半導体素子と接続される金属配線を前記半導体基板上の絶縁膜中に形成する方法であって、

前記半導体基板上に前記絶縁膜を形成する工程と、

前記絶縁膜を選択的に除去して開口部を形成する工程と、

前記開口部の内壁を覆うようにバリア層を形成する工程と、

前記バリア層上にジルコニウムを含む第1の密着層を形成する工程と、

前記開口部上を含む前記絶縁膜上に銅を主成分とする配線材を形成し、前記開口部を埋め込む工程と、

前記絶縁膜が露出するまで、前記配線材、前記第1の密着層及び前記バリア層を研磨して除去し、前記開口部に埋め込まれた前記配線材、前記第1の密着層及び前記バリア層からなる前記金属配線を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項10】 半導体基板上の半導体素子と接続される金属配線を前記半導体基板上の絶縁膜中に形成する方法であって、

前記半導体基板上に前記絶縁膜を形成する工程と、

前記絶縁膜を選択的に除去して開口部を形成する工程と、

前記開口部の内壁を覆うようにジルコニウムを含む第1の密着層を形成する工程と、

前記第1の密着層上にバリア層を形成する工程と、

前記開口部上を含む前記絶縁膜上に銅を主成分とする配線材を形成し、前記開口部を埋め込む工程と、

前記絶縁膜が露出するまで、前記配線材、前記バリア層及び前記第1の密着層を研磨して除去し、前記開口部に埋め込まれた前記配線材、前記バリア層及び前記第1の密着層からなる前記金属配線を形成する工程と

を有することを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体装置等に適用される配線に関し、特にCu(銅)を用いて比抵抗を低減させた金属配線構造、半導体装置、金属配線の形成方法及び半導体装置の製造方法に適用して好適なものである。

##### 【0002】

##### 【従来の技術】

近時における半導体集積回路の高集積化に伴い、半導体基板上に形成した素子及びこれらの素子間を相互に接続するための配線の微細化が進展している。このため、配線に要求される特性や信頼性は一層厳しくなってきており、より比抵抗が低く且つエレクトロマイグレーション、ストレスマイグレーション耐性などの信頼性の高い配線材料が求められている。

##### 【0003】

このような背景において、従来より配線材料として広く用いられていたAl(

アルミニウム)に代わって、より比抵抗が低くエレクトロマイグレーション特性にも優れたCu(銅)が配線材料として注目されており、実用化が進められている。このような銅配線を半導体基板上に形成する場合、ダマシン法と呼ばれる製造プロセスによって絶縁膜中に銅配線を埋め込むように形成している。

#### 【0004】

図24を参照しながら、ダマシン法による銅配線の形成方法について説明する。図24は、半導体基板の上層に形成された層間絶縁膜101に、ダマシン法により銅配線をする方法を工程順に示す概略断面図である。

#### 【0005】

まず、図24(a)に示すように、フォトリソグラフィー及びこれに続くドライエッティングにより、半導体基板上に形成された層間絶縁膜101に配線溝102を形成する。

#### 【0006】

次に、図24(b)に示すように、CVD法等により層間絶縁膜101上及び配線溝102の内壁面を覆うように高融点金属膜103を形成する。高融点金属膜103は、配線材料としてのCuがシリコン酸化膜等からなる層間絶縁膜101と反応して拡散することを防ぎ、デバイス特性の劣化を抑止するためのバリア膜である。その後、CVD法等により、高融点金属膜103上を覆うように、メッキによる成膜を効率良く行うために、シード層としてのCu膜104を形成する。

#### 【0007】

次に、図24(c)に示すように、スパッタ法により配線溝102を埋め込むようにCu膜105を形成する。これにより、配線溝102がCu膜105によって埋め込まれるとともに、配線溝102上以外の領域にもCu膜105が厚く形成される。

#### 【0008】

次に、図24(d)に示すように、CMP(Chemical Mechanical Polishing: 化学的機械的研磨)法により、配線溝102上以外の領域に形成されたCu膜104、105、高融点金属膜103を研磨して除去する。これにより、配線溝

102に高融点金属膜103、Cu膜104、105が埋め込まれてなる配線膜が完成する。

#### 【0009】

このように、Cuを配線材として用いる場合には、Cuは蒸気圧の高いハロゲン化物を形成しないため、パターニングの際にドライエッチング技術を用いることができず、CMP法による研磨工程を含むダマシン法による配線形成が必要とされていた。

#### 【0010】

##### 【発明が解決しようとする課題】

しかしながら、層間絶縁膜101上のCu膜104、105を除去する際に使うCMP法は、機械的な研磨方法であるため、研磨中にCu膜104、105が配線溝102から剥がれてしまうことがあった。

#### 【0011】

特に、高融点金属膜103は、バリア膜として機能させるためにCu膜104、105と反応性の低いTaN（窒化タンタル）等の材料を用いており、Cuの層間絶縁膜101中への拡散を防止するができる反面、Cu膜104との密着強度を十分に確保することができなかった。このため、CMP法によって機械的研磨を行うと、Cu膜104、105に加わる力によってCu膜104、105と高融点金属膜103との界面に応力がかかり、Cu膜104、105が高融点金属膜103から剥離してしまうことがあった。また、高融点金属膜103とCu膜104との密着性が不十分であると、ストレスマイグレーションに対する耐性を十分に確保することができなかった。

#### 【0012】

また、Cu膜104、105に大電流を流した場合、配線膜の内部よりもCu膜104と高融点金属膜103との界面近傍において原子の移動が発生し易くなるが、高融点金属膜103とCu膜104との密着性が低いため、界面近傍におけるエレクトロマイグレーション耐性を向上させることにも限界があった。

#### 【0013】

このように、Cuを用いた配線材は、比抵抗を下げることができ、エレクトロ

マイグレーション耐性を向上させるという優れた利点があるにも関わらず、バリア層の形成が不可欠であり、Cuと反応性の低いバリア層との界面近傍において十分な密着性を確保することができず、CMP法による機械的研磨を行った場合にCu膜104, 105が剥離してしまうことがあった。また、高融点金属膜103との密着性を高めることができないため、エレクトロマイグレーション耐性、ストレスマイグレーション耐性の更なる向上にも限界が生じていた。

#### 【0014】

本発明の目的は、配線膜の材料としてCuを用いた場合に、製造プロセスにおいて銅配線が剥離してしまうことを抑止するとともに、エレクトロマイグレーション耐性、ストレスマイグレーション耐性を向上させて信頼性を向上させた金属配線構造、半導体装置、金属配線の形成方法及び半導体装置の製造方法を提供することにある。

#### 【0015】

##### 【課題を解決するための手段】

銅配線とバリア層との間の密着性を高めるには、銅配線及びバリア層の双方に対して密着性に優れた材料からなる密着層を各層の間に挿入することが考えられる。同様に、バリア層と層間絶縁膜との間の密着性を高めるためには、バリア層と層間絶縁膜の双方に対して密着性に優れた材料からなる密着層を各層の間に挿入することが考えられる。

#### 【0016】

ここで、銅配線とバリア層との間に設ける密着層について考えると、密着層に要求される特性は、銅配線及びバリア層の双方に対して密着性に優れていることのみならず、銅配線中に密着層を構成する元素が拡散して銅配線のメリットである低い比抵抗の増大をもたらさないことも重要である。

#### 【0017】

係る観点から本願発明者らが銳意検討を行った結果、Zr（ジルコニウム）が銅配線及び一般に用いられているバリア層に対して良好な密着性を有するとともに、銅配線の比抵抗を増加させる作用が小さい材料であり密着層として好適であることが初めて明らかとなった。

【0018】

以下、Zrが密着層の材料として好適な理由について説明する。

【0019】

銅配線層と密着層、及び、密着層とバリア層との間の密着性を向上するために、密着層を構成する材料が銅配線及びバリア層中に拡散し、両層間の界面状態をなじませる必要がある。

【0020】

その一方、密着層を構成するすべての構成元素が銅配線中或いはバリア層中に拡散したのでは、実質的にバリア層上に銅配線層を設けた場合と変わることろはなく、密着性の向上は図れない。

【0021】

また、一般に、Cu中に他の元素が固溶すると比抵抗を増加する。したがって、密着層を構成する元素が多量にCu中に拡散すると、比抵抗が低いという銅配線のメリットを十分に生かすことができなくなる。

【0022】

したがって、密着層を構成する材料を選択するにあたっては、上記の点を十分考慮する必要がある。

【0023】

Cu中に導入された場合に比抵抗を増加させる作用が小さい元素としては、Zr（ジルコニウム）、Cd（カドミウム）、Zn（亜鉛）、Ag（銀）、Pb（鉛）、Sn（錫）、Al（アルミニウム）などの元素がある。なお、これら材料は、列記した順に比抵抗を増大させる作用が小さい。

【0024】

一方、密着層として機能させるためには、上述のように、熱処理等を行って界面をなじませた後においても密着層が銅配線とバリア層との間に残存しており、双方の密着性を維持する必要がある。したがって、密着層を構成する材料としては、Cu中への固溶度が低くすべての構成元素が銅配線中に拡散しないとともに、Cuの比抵抗の増加を十分低く抑えることができる材料であることが望ましい。

## 【0025】

Cu中への固溶度が低い元素としては、例えば、Ag、Bi（ホウ素）、Ba（バリウム）、Bi（ビスマス）、Ca（カルシウム）、Cd、Ce（セリウム）、Dy（ジスプロニウム）、Er（エルビウム）、Eu（ユウロピウム）、Gd（ガドリニウム）、Hf（ハフニウム）、In（インジウム）、La（ランタン）、Mo（モリブデン）、Nb（ニオブ）、Nd（ネオジム）、Pb、Pr（プラセオジム）、Se（セレン）、Sm（サマリウム）、Sr（ストロンチウム）、Te（テルル）、Th（トリウム）、Tl（タリウム）、V（バナジウム）、Y（イットリウム）、Yb（イッテルビウム）、Zr等がある。

## 【0026】

Cu中に導入された場合に比抵抗を増加させる作用が小さい上記元素についての固溶度を列記すると、Zrは0.15wt%、Cdは0.5wt%、Znは3.9wt%、Agは0.8wt%、Pbは0.09wt%、Niは全率固溶、Snは11～15wt%、Alは9wt%である。

## 【0027】

したがって、上記の材料から最適な材料を選択すると、密着層としては、Cu中における固溶度が低く、Cuの比抵抗を増大させる作用が小さいZr膜を適用することが望ましい。また、Zrを含む膜、例えば、ZrN（窒化ジルコニウム）膜を適用しても同様の効果を期待できる。窒化物を用いることにより、バリア膜としての機能を持たせることができる。

## 【0028】

Zrを密着層として使用した場合、バリア層と密着層との界面では、熱処理過程において構成元素が相互拡散し、両層間の密着性が向上される。また、Zrはシリコン酸化膜などの層間絶縁膜材料に対しても密着性に優れており、層間絶縁膜とバリア層との間に設けることによっても密着層として機能する。

## 【0029】

密着層として適用するには、膜構造やその後の熱処理工程によって変化するため一概に画定することはできないが、代表的な膜構造及びプロセスを考慮すると、Cu中における固溶度は20wt%以下であることが望ましい。そして、Cu

の低い抵抗値を活かしつつ配線層に適用するためには、Cu中に導入された不純物による比抵抗の増加は19.8%以下に抑える必要がある。

#### 【0030】

かかる観点から考慮すると、本願発明者らは詳細な検討を行っていないが、Cu中における固溶度が低くCuの比抵抗を増大させる作用が小さい他の材料、例えば、Cd、Ag、Pb等も、密着層として採用しうる可能性がある。

#### 【0031】

密着層と銅配線との界面をなじませて密着性を高めるための処理としては、例えば、Zrよりなる密着層をアモルファス状に堆積した後、シード層を例えばスパッタリング法などの成膜成分が大きなエネルギーをもつ成膜方法により堆積する方法を適用することができる。このような成膜方法によってシード層を形成すると、シード層を構成するCuの一部が密着層にくい込み、シード層と密着層との密着力が向上される。

#### 【0032】

また、シード層を形成した後、密着層を構成するZrの一部をシード層方向に拡散するようにしてもよい。例えば、シード層形成後に200℃程度の低温熱処理を、或いは、500℃数秒間程度の短時間熱処理を行うことにより、密着層を構成するZrの一部がシード層内に拡散し、密着層とシード層との密着性が向上される。

#### 【0033】

或いは、密着層を構成するZrの一部がシード層中に固溶限界に達するまで熱処理を行うようにしてもよい。例えば、300℃30分の熱処理を適用することができる。ZrはCu膜中における固溶度が低いため、固溶限界に達するまで熱処理を行ってもCuの比抵抗を増加する作用は小さい。また、固溶限界のZrが固溶している場合、それ以上のZrがCu方向に拡散することはないので、後工程の熱処理やプロセスの違いによる銅配線の比抵抗の変化を小さくできるという効果もある。なお、この場合には、熱処理後においてもシード層とバリア層との界面にZr膜が残存するようにシード層と密着層の膜厚を制御することが必要である。

## 【0034】

TaNよりなるバリア層上に、Zr膜よりなる密着層と、Cu膜よりなるシード層とをスパッタリング法により堆積したときの密着度の変化と膜抵抗の変化を表1及び図1に示す。なお、密着層及びシード層の膜厚は、これらのトータル膜厚を200nm一定とし、Zr膜とCu膜の膜厚比を変化した。

## 【0035】

## 【表1】

シード層の膜厚	密着層の膜厚	Zr/Cu比	臨界応力 [kgf]
Cu膜 200 nm	密着層なし	0	10.0
Cu膜 198 nm	Zr膜 2 nm	1/99	12.5
Cu膜 195 nm	Zr膜 5 nm	1/39	12.5
Cu膜 190 nm	Zr膜 10 nm	1/19	15.0

## 【0036】

表1に示すように、Zr : Cuの膜厚比を1:99或いはそれ以上としたときに、Zr膜よりなる密着層を形成しない場合と比較して、密着力の指標となる臨界応力が増加していることが判る。

## 【0037】

また、Zr : Cuの膜厚比が1:99のとき、Cu中のZr濃度はほぼ固溶限界である0.15wt%であるため、図1に示すように、Zrの膜厚比が増加しても銅配線の比抵抗の変化は小さいことが判る。

## 【0038】

図1には、比較例として、トータル膜厚300nmのSn膜とCu膜とを形成した場合、トータル膜厚300nmのPd膜とCu膜とを形成した場合についても同様の結果を示しているが、これら材料ではSn或いはPdの膜厚比の増大とともに比抵抗が大きくなってしまい、ZrのようにCuの比抵抗増大を抑える効果が低いことが判る。なお、Sn膜とCu膜との関係については、C.-K. Hu et al., Thin Solid Films, 262 (1995) 84、C.-K. Hu et al., J. Electrochem. Soc

., 143 (1996) 1001、及び、Y.S. Gong et al., *Appl. Surf. Sci.*, 92(1996) 355に記載のデータを引用した。また、Pd膜とCu膜との関係については、C.W. Park et al., *Thin Solid Films*, 226 (1993) 238に記載のデータを引用した。

#### 【0039】

また、図示しないが、Zr : Cuの膜厚比が1 : 99である試料の断面構造を透過型電子顕微鏡により観察したところ、シード層とバリア層との界面には、Cu膜中に固溶しきれなかったZrが残留しているとともに、残留したZrとTaNが相互拡散して高い密着力をもつ界面が形成されていることが判った。

#### 【0040】

また、シード層とバリア層との間に、Cu-Zr合金からなる島状構造を設けることにより、密着性を更に高めることができる。すなわち、Cu-Zr合金からなる島状構造を設けることにより、微視的にみればCu-Zr合金からなる島状構造の凹凸形状がバリア層と密着層との間で機械的にかみ合い、バリア層と密着層の界面に応力がかかった場合であっても、銅配線が剥がれてしまうことが抑止されることになる。また、密着層としてCu及びバリア膜として一般に用いられる高融点金属材料と密着性の高いZrを含有した膜を用いることにより、銅配線若しくはバリア層と密着層との界面において構成元素を相互に拡散させることができ、Cu膜とバリア層との密着性を高めることが可能となる。従って、Cu-Zr合金膜からなる島状構造の凹凸形状による機械的かみ合いと、接着膜による密着性を併用することにより相乗的に銅配線とバリア層との接合を強固に行うことが可能となる。

#### 【0041】

すなわち、上記目的は、銅を主成分とする配線材がバリア層を介して絶縁膜に埋め込まれてなる金属配線構造であって、前記配線材と前記バリア層とが、ジルコニウムを含む密着層を介して接合されていることを特徴とする金属配線構造によって達成される。

#### 【0042】

また、上記目的は、銅を主成分とする配線材がバリア層を介して絶縁膜に埋め込まれてなる金属配線構造であって、前記絶縁膜と前記バリア層とが、ジルコニ

ウムを含む密着層を介して接合されていることを特徴とする金属配線構造によつても達成される。

【0043】

また、上記目的は、銅を主成分とする配線材がバリア層を介して絶縁膜に埋め込まれてなる金属配線構造であつて、前記配線材と前記バリア層とが、銅中における固溶度が20%以下であり、銅中に固溶したときの比抵抗の増加が19.8%以下である金属材料を含む密着層を介して接合されていることを特徴とする金属配線構造によつても達成される。

【0044】

また、上記目的は、半導体基板上の絶縁膜に形成された開口部を埋め込むようにして金属配線が形成され、前記金属配線が前記半導体基板上の半導体素子と電気的に接続されている半導体装置であつて、前記金属配線は、前記開口部の内壁面を覆うように形成されたバリア層と、前記バリア層上を覆うように形成されたジルコニウムを含む密着層と、前記バリア層及び前記密着層を介して前記開口部に埋め込まれた銅を主成分とする配線材とを有することを特徴とする半導体装置によつても達成される。

【0045】

また、上記目的は、半導体基板上の絶縁膜に形成された開口部を埋め込むようにして金属配線が形成され、前記金属配線が前記半導体基板上の半導体素子と電気的に接続されている半導体装置であつて、前記金属配線は、前記開口部の内壁面を覆うように形成されたジルコニウムを含む密着層と、前記密着層を覆うように形成されたバリア層と、前記密着層及び前記バリア層を介して前記開口部に埋め込まれた銅を主成分とする配線材とを有することを特徴とする半導体装置によつても達成される。

【0046】

また、上記目的は、銅を主成分とする金属配線の形成方法であつて、下地絶縁膜上にバリア層を形成する工程と、前記バリア層上にジルコニウムを含む密着層を形成する工程と、前記密着層上に銅を主成分とする配線材を形成する工程とを有することを特徴とする金属配線の形成方法によつても達成される。

## 【0047】

また、上記目的は、銅を主成分とする金属配線の形成方法であって、下地絶縁膜上にジルコニウムを含む密着層を形成する工程と、前記密着層上にバリア層を形成する工程と、前記バリア層上に銅を主成分とする配線材を形成する工程とを有することを特徴とする金属配線の形成方法によっても達成される。

## 【0048】

また、上記目的は、半導体基板上の半導体素子と接続される金属配線を前記半導体基板上の絶縁膜中に形成する方法であって、前記半導体基板上に前記絶縁膜を形成する工程と、前記絶縁膜を選択的に除去して開口部を形成する工程と、前記開口部の内壁を覆うようにバリア層を形成する工程と、前記バリア層上にジルコニウムを含む第1の密着層を形成する工程と、前記開口部上を含む前記絶縁膜上に銅を主成分とする配線材を形成し、前記開口部を埋め込む工程と、前記絶縁膜が露出するまで、前記配線材、前記第1の密着層及び前記バリア層を研磨して除去し、前記開口部に埋め込まれた前記配線材、前記第1の密着層及び前記バリア層からなる前記金属配線を形成する工程とを有することを特徴とする半導体装置の製造方法によっても達成される。

## 【0049】

また、上記目的は、半導体基板上の半導体素子と接続される金属配線を前記半導体基板上の絶縁膜中に形成する方法であって、前記半導体基板上に前記絶縁膜を形成する工程と、前記絶縁膜を選択的に除去して開口部を形成する工程と、前記開口部の内壁を覆うようにジルコニウムを含む第1の密着層を形成する工程と、前記第1の密着層上にバリア層を形成する工程と、前記開口部上を含む前記絶縁膜上に銅を主成分とする配線材を形成し、前記開口部を埋め込む工程と、前記絶縁膜が露出するまで、前記配線材、前記バリア層及び前記第1の密着層を研磨して除去し、前記開口部に埋め込まれた前記配線材、前記バリア層及び前記第1の密着層からなる前記金属配線を形成する工程とを有することを特徴とする半導体装置の製造方法によっても達成される。

## 【0050】

## 【発明の実施の形態】

【第1実施形態】

本発明の第1実施形態による半導体装置及びその製造方法について図2乃至図9を用いて説明する。

【0051】

図2は本実施形態による半導体装置の構造を示す概略断面図、図3乃至図9は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0052】

はじめに、本実施形態による半導体装置の構造について図2を用いて説明する

【0053】

素子分離膜12により画定されたシリコン基板10の素子領域には、ソース／ドレイン拡散層14、ゲート電極18を有するMOSトランジスタを形成している。

【0054】

MOSトランジスタが形成されたシリコン基板10上には、層間絶縁膜22と、ストッパ膜24と、層間絶縁膜26とが順次形成されている。層間絶縁膜22及びストッパ膜24には、ソース／ドレイン拡散層14及びゲート電極18に達するピアホール32が形成されており、層間絶縁膜26のピアホール32を含む領域には配線溝30が形成されている。ピアホール32及び配線溝30内には、TaN膜よりなるバリア層34と、Zr膜よりなる密着層36と、シード層としてのCu膜38と、Cu膜40とからなる配線層42とが埋め込まれている。

【0055】

配線層42が埋め込まれた層間絶縁膜26上には、配線保護膜44と、層間絶縁膜46と、ストッパ膜48と、層間絶縁膜50とが順次形成されている。配線保護膜44及び層間絶縁膜46には配線層42に達するピアホール56が形成されており、層間絶縁膜50のピアホール56を含む領域には配線溝54が形成されている。ピアホール56及び配線溝54内には、TaN膜よりなるバリア層58と、Zr膜よりなる密着層60と、シード層としてのCu膜62と、Cu膜64とからなる配線層66とが埋め込まれている。

## 【0056】

配線層66が埋め込まれた層間絶縁膜50上には、配線保護膜68が形成されている。

## 【0057】

こうして、本実施形態による半導体装置が構成されている。

## 【0058】

本実施形態による半導体装置は、バリア層34とシード層としてのCu膜38との間にZr膜よりなる密着層36が、バリア層58とシード層としてのCu膜62との間にZr膜よりなる密着層60が、それぞれ形成されていることに特徴がある。このようにしてZr膜よりなる密着層36、36を設けることにより、バリア層34、58と密着層36、60との間の密着性、及び、密着層36、60とシード層としてのCu膜38、62との間の密着性を向上することができる。したがって、従来の半導体装置と比較して、バリア層とシード層との間の密着性を向上することができる。

## 【0059】

次に、本実施形態による半導体装置の製造方法について図3乃至図9を用いて説明する。

## 【0060】

まず、例えば通常のLOCOS法により、シリコン基板10を局所的に酸化し、素子領域を画定する素子分離膜12を形成する。

## 【0061】

次いで、通常のMOSトランジスタの製造プロセスと同様にして、素子分離膜12により画定された素子領域に、ソース／ドレイン拡散層14、ゲート絶縁膜16、ゲート電極18、サイドウォール絶縁膜20を有するMOSトランジスタを形成する（図3（a））。

## 【0062】

次いで、全面に、例えばCVD法により膜厚500～700nm程度のシリコン酸化膜を堆積した後、その表面を例えばCMP法により研磨して平坦化し、表面が平坦化されたシリコン酸化膜よりなる層間絶縁膜22を形成する（図3（b））。

))。

【0063】

次いで、全面に、例えばCVD法により、膜厚数十nm程度のシリコン窒化膜を堆積する。こうして、シリコン窒化膜よりなるストップ膜24を形成する(図3(c))。

【0064】

次いで、通常のリソグラフィー技術及びエッティング技術を用い、上層に形成する配線層とシリコン基板上に形成された素子とを接続するピアホールを形成する領域のストップ膜24を除去する(図3(d))。なお、図においては、ソース／ドレイン拡散層14上に開口されるピアホールと、右側のゲート電極18上に開口されるピアホールとを形成する場合を例に示す。

【0065】

次いで、全面に、例えばCVD法により、膜厚400nm程度のシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜26を形成する(図4(a))。

【0066】

次いで、通常のリソグラフィー技術を用い、形成しようとする配線層に相当する開口パターンを有するレジスト膜28を形成する(図4(b))。

【0067】

次いで、レジスト膜28及びストップ膜24をマスクとして層間絶縁膜22、26を異方性エッティングし、層間絶縁膜26に形成された配線溝30と、配線溝30内の層間絶縁膜22に形成されたソース／ドレイン拡散層14及びゲート電極18に達するピアホール32とを形成する(図4(c))。

【0068】

次いで、全面に、例えば反応性スパッタリング法を用い、膜厚20～40nmのTaN膜を堆積する。こうして、TaN膜よりなるバリア層34を形成する。なお、バリア層34は、層間絶縁膜22、26中に配線層中の銅が拡散することを防止するための層である。なお、TaN膜はCVD法などによって形成してもよい。

## 【0069】

次いで、全面に、例えばスパッタリング法、CVD法、メッキ法により、膜厚5～50nm程度のZr膜をアモルファスの状態で堆積する。こうして、Zr膜よりなる密着層36を形成する。

## 【0070】

次いで、全面に、例えばスパッタリング法やCVD法等により、膜厚50～200nm程度のCu膜を堆積する。こうして、シード層としてのCu膜38を形成する（図5（a））。なお、シード層としてのCu膜38は、銅膜をメッキ法により堆積する際に基板の導電性を高めるための下地膜として堆積するものである。

## 【0071】

このとき、シード層としてのCu膜38を形成する成膜方法に、スパッタリング法などの成膜成分が大きなエネルギーをもって形成される方法を適用することにより、シード層としてのCu膜38を構成するCuの一部がZrよりなる密着層36内にくい込むため、後工程で熱処理を行わずとも密着層36とシード層としてのCu膜38との間の密着力を向上することができる。

## 【0072】

次いで、全面に、例えばメッキ法により、膜厚1000nm程度のCu膜40を堆積し、配線溝30、ピアホール32内を、Cu膜40により完全に埋め込む（図5（b））。

## 【0073】

ここで、Cu膜40としては、純銅の他、銅合金を用いることができ、Cu-Sn（銅-錫）合金、Cu-Mg（銅-マグネシウム）合金、Cu-Al（銅-アルミニウム）合金等の各種合金を用いることができる。Cu-Sn合金を用いた場合には、エレクトロマイグレーション耐性を更に向上させることができ、Cu-Mg合金を用いた場合にはCu膜40の表面の酸化を抑制することができる。なお、本実施形態ではCu膜40をメッキ法によって形成しているが、例えばスパッタ法など他の方法によって、シード層としてのCu膜76を形成せずに配線溝30及びピアホール32を埋め込むようにしてもよい。

## 【0074】

次いで、例えばCMP法により、層間絶縁膜26が露出するまでCu膜40、シード層としてのCu膜38、密着層36、バリア層34を平坦に研磨し、配線溝30内及びピアホール32内にのみCu膜40、シード層としてのCu膜38、密着層36、バリア層34を残存させる。

## 【0075】

こうして、Cu膜40、シード層としてのCu膜38、密着層36、バリア層34よりなり、ピアホール32を介してソース／ドレイン拡散層14、ゲート電極18に接続され、配線溝30に埋め込まれた配線層42を形成する（図5（c））。

## 【0076】

次いで、配線層42が埋め込まれた層間絶縁膜26上に、例えばCVD法により、膜厚50～70nmのシリコン窒化膜よりなる配線保護膜44を形成する（図6（a））。

## 【0077】

次いで、配線保護膜44上に、例えばCVD法により、膜厚500～700nm程度のシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜46を形成する。

## 【0078】

次いで、全面に、例えばCVD法により、膜厚数十nm程度のシリコン窒化膜を堆積する。こうして、シリコン窒化膜よりなるストップ膜48を形成する。

## 【0079】

次いで、通常のリソグラフィー技術及びエッティング技術を用い、上層に形成する配線層と配線層42とを接続するピアホールを形成する領域のストップ膜48を除去する。

## 【0080】

次いで、全面に、例えばCVD法により、膜厚400nm程度のシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜50を形成する（図6（b））。

。

## 【0081】

次いで、通常のリソグラフィー技術を用い、形成しようとする配線層に相当する開口パターンを有するレジスト膜52を形成する（図7（a））。

## 【0082】

次いで、レジスト膜52及びストップ膜48をマスクとして層間絶縁膜46、50、配線保護膜44を異方性エッチングし、層間絶縁膜50に形成された配線溝54と、配線溝54内の層間絶縁膜46及び配線保護膜44に形成された配線層42に達するピアホール56とを形成する（図7（b））。

## 【0083】

次いで、全面に、例えば反応性スパッタリング法を用い、膜厚25～30nmのTaN膜を堆積する。こうして、TaN膜よりなるバリア層58を形成する。

## 【0084】

次いで、全面に、例えばスパッタリング法により、膜厚5～50nm程度のZr膜をアモルファスの状態で堆積する。こうして、Zr膜よりなる密着層60を形成する。

## 【0085】

次いで、全面に例えばスパッタリング法により、膜厚50～200nm程度のCu膜を堆積する。こうして、Cu膜よりなるシード層としてのCu膜62を形成する（図8（a））。シード層としてのCu膜38を形成する場合と同様に、シード層としてのCu膜62を形成する成膜方法にスパッタリング法などの成膜成分が大きなエネルギーをもって形成される方法を適用することにより、シード層としてのCu膜62を構成するCuの一部がZrよりなる密着層60内にいく込むため、後工程で熱処理を行わずとも密着層60とシード層としてのCu膜62との間の密着力を向上することができる。

## 【0086】

次いで、全面に、例えばメッキ法により、膜厚1000nm程度のCu膜64を堆積し、配線溝54、ピアホール56内を、Cu膜64により完全に埋め込む（図8（b））。

## 【0087】

次いで、例えばCMP法により、層間絶縁膜50が露出するまでCu膜64、シード層としてのCu膜62、密着層60、バリア層58を平坦に研磨し、配線溝54内及びピアホール56内にのみCu膜64、シード層としてのCu膜62、密着層60、バリア層58を残存させる。

#### 【0088】

こうして、Cu膜64、シード層としてのCu膜62、密着層60、バリア層58よりなり、ピアホール56を介して配線層42に接続され、配線溝54に埋め込まれた配線層66を形成する（図9（a））。

#### 【0089】

次いで、配線層64が埋め込まれた層間絶縁膜50上に、例えばCVD法により、膜厚50～70nmのシリコン窒化膜よりなる配線保護膜68を形成する。

#### 【0090】

次いで、必要に応じて第3層以降の配線層（図示せず）を形成する。

#### 【0091】

このように、本実施形態によれば、シード層とバリア層との間にZr膜よりなる密着層を形成するので、シード層とバリア層との間の密着性を高めることができる。これにより、CMPによるCu膜の研磨過程においてCu膜が剥がれることを抑止することができ、半導体装置の歩留まりや信頼性を向上することができる。

#### 【0092】

#### 【第2実施形態】

本発明の第2実施形態による半導体装置の製造方法について図2乃至図9を用いて説明する。なお、第1実施形態による半導体装置の構造及び製造方法と同様の構成要素については同一の符号を付し、説明を省略し或いは簡略にする。

#### 【0093】

図2は本実施形態による半導体装置の構造を示す概略断面図、図3乃至図9は本実施形態による半導体装置の製造方法を示す工程断面図である。

#### 【0094】

本実施形態による半導体装置及びその製造方法は、バリア層、密着層、Cu膜

の形成方法が異なる他は第1実施形態による半導体装置及びその製造方法と同様である。

## 【0095】

以下、本実施形態による半導体装置の製造方法について図3乃至図9を用いて説明する。

## 【0096】

まず、例えば図3 (a) 乃至図4 (c) に示す第1実施形態による半導体装置の製造方法と同様にして、MOSトランジスタが形成されたシリコン基板10上に、ピアホール32が形成された層間絶縁膜26及びストップ膜24と、配線溝30が形成された層間絶縁膜28とを形成する。

## 【0097】

次いで、全面に、例えば反応性スパッタリング法を用い、膜厚25～30nmのTaN膜を堆積する。こうして、TaN膜よりなるバリア層34を形成する。なお、TaN膜はCVD法などによって形成してもよい。

## 【0098】

次いで、全面に、例えばスパッタリング法により、膜厚5～50nm程度のZr膜をアモルファスの状態で堆積する。こうして、Zr膜よりなる密着層36を形成する。なお、Zr膜はCVD法やメッキ法などによって形成してもよい。

## 【0099】

次いで、全面に例えばCVD法により、膜厚50～200nm程度のCu膜を堆積する。こうして、シード層としてのCu膜38を形成する(図5(a))。

## 【0100】

次いで、200℃程度の低温熱処理、或いは、500℃数秒程度の短時間熱処理を行い、密着層36を構成するZrの一部をシード層としてのCu膜38に拡散させる。これにより、密着層36とシード層としてのCu膜38との密着力が向上される。また、この熱処理過程において、密着層36とバリア層34との間ににおいても相互拡散が生じ、密着層36とバリア層34との間の密着力をも向上される。

## 【0101】

なお、本熱処理工程において、300°C 30分程度の熱処理を行い、密着層36を構成するZrの一部を、シード層としてのCu膜38に固溶限界まで拡散させてよい。このようにした場合においても、密着層36とシード層としてのCu膜38との間の密着力を向上することができる。この場合、熱処理後においてもシード層としてのCu膜38とバリア層34との間にZr膜よりなる密着層36が残存するように、密着層36及びシード層としてのCu膜38の膜厚を制御する。

#### 【0102】

次いで、例えば第1実施形態による半導体装置の製造方法と同様にして、メッキ法によりCu膜40を堆積した後にCMP法によりポリッシュバックし、Cu膜40、シード層としてのCu膜38、密着層36、バリア層34よりなり、ピアホール32を介してソース/ドレイン拡散層14、ゲート電極18に接続され、配線溝30に埋め込まれた配線層42を形成する(図5(b)～(c))。

#### 【0103】

この後、例えば図6(a)乃至図9(b)に示す第1実施形態による半導体装置の製造方法と同様にして、第2層目以降の配線層を形成する。

#### 【0104】

このように、本実施形態によれば、シード層とバリア層との間にZr膜よりなる密着層を形成し、シード層形成後に熱処理を行うので、シード層とバリア層との間の密着性を高めることができる。これにより、CMPによるCu膜の研磨過程においてCu膜が剥がれることを抑止することができ、半導体装置の歩留まりや信頼性を向上することができる。

#### 【0105】

なお、本実施形態では、第1層目のCu配線層形成過程に適用する例を説明したが、第2層目以降の配線層に本実施形態による半導体装置の製造方法を適用してもよい。

#### 【0106】

##### [第3実施形態]

本発明の第3実施形態による半導体装置及びその製造方法について図10乃至

図14を用いて説明する。なお、図2乃至図9に示す第1及び第2実施形態による半導体装置の構造及び製造方法と同様の構成要素については同一の符号を付し、説明を省略し或いは簡略にする。

【0107】

図10は本実施形態による半導体装置の構造を示す概略断面図、図11乃至図14は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0108】

本実施形態では、層間絶縁膜とバリア層との間の密着性を向上する半導体装置及びその製造方法について説明する。

【0109】

はじめに、本実施形態による半導体装置の構造について図10を用いて説明する。

【0110】

素子分離膜12により画定されたシリコン基板10の素子領域には、ソース／ドレイン拡散層14、ゲート電極18を有するMOSトランジスタを形成している。

【0111】

MOSトランジスタが形成されたシリコン基板10上には、層間絶縁膜22と、ストッパ膜24と、層間絶縁膜26とが順次形成されている。層間絶縁膜22及びストッパ膜24にはソース／ドレイン拡散層14及びゲート電極18に達するピアホール32が形成されており、層間絶縁膜26にはピアホール32を含む領域に配線溝30が形成された層間絶縁膜26が形成されている。ピアホール32及び配線溝30内には、Zr膜よりなる密着層70と、TaN膜よりなるバリア層34と、シード層としてのCu膜38と、Cu膜40とからなる配線層42が埋め込まれている。

【0112】

配線層42が埋め込まれた層間絶縁膜26上には、配線保護膜44と、層間絶縁膜46と、ストッパ膜48と、層間絶縁膜50とが順次形成されている。配線保護膜44及び層間絶縁膜46には配線層42に達するピアホール56が形成さ

れており、層間絶縁膜50のピアホール56を含む領域には配線溝54が形成されている。ピアホール56及び配線溝54内には、Zr膜よりなる密着層72と、TaN膜よりなるバリア層58と、シード層としてのCu膜62と、Cu膜64とからなる配線層66が埋め込まれている。

#### 【0113】

配線層66が埋め込まれた層間絶縁膜50上には、配線保護膜68が形成されている。

#### 【0114】

こうして、本実施形態による半導体装置が構成されている。

#### 【0115】

本実施形態による半導体装置は、層間絶縁膜22、26とバリア層34との間にZr膜よりなる密着層70が、層間絶縁膜46、50とバリア層58との間にZr膜よりなる密着層70が、それぞれ形成されていることに特徴がある。このようにしてZr膜よりなる密着層70、72を設けることにより、層間絶縁膜22、26、46、50と密着層70、72との間の密着性、及び、密着層70、72とバリア層34、58との間の密着性を向上することができる。したがって、従来の半導体装置と比較して、層間絶縁膜とバリア層との間の密着性を向上することができる。

#### 【0116】

次に、本実施形態による半導体装置の製造方法について図11乃至図14を用いて説明する。

#### 【0117】

まず、例えば図3(a)乃至図4(c)に示す第1実施形態による半導体装置の製造方法と同様にして、MOSトランジスタが形成されたシリコン基板10上に、ピアホール32が形成された層間絶縁膜26及びストップ膜24と、配線溝30が形成された層間絶縁膜28とを形成する(図11(a))。

#### 【0118】

次いで、全面に、例えばスパッタリング法により、膜厚5~50nm程度のZr膜を堆積する。こうして、Zr膜よりなる密着層70を形成する(図11(b))。

) ) 。

【0119】

次いで、全面に、例えば反応性スパッタリング法を用い、膜厚25～30nmのTaN膜を堆積する。こうして、TaN膜よりなるバリア層34を形成する。

【0120】

次いで、全面に、例えばスパッタリング法により、膜厚50～200nm程度のCu膜を堆積する。こうして、シード層としてのCu膜38を形成する（図1-1(c)）。

【0121】

次いで、全面に、例えばメッキ法により、膜厚1000nm程度のCu膜40を堆積し、配線溝30、ピアホール32内を、Cu膜40により完全に埋め込む（図1-2(a)）。

【0122】

次いで、例えばCMP法により、層間絶縁膜26が露出するまでCu膜40、シード層としてのCu膜38、バリア層34、密着層70を平坦に研磨し、配線溝30内及びピアホール32内にのみCu膜40、シード層としてのCu膜38、バリア層34、密着層70を残存させる。

【0123】

こうして、Cu膜40、シード層としてのCu膜38、バリア層34、密着層70よりなり、ピアホール32を介してソース／ドレイン拡散層14、ゲート電極18に接続され、配線溝30に埋め込まれた配線層42を形成する（図1-2(b)）。

【0124】

次いで、配線層42が埋め込まれた層間絶縁膜26上に、例えばCVD法により、膜厚50～70nmのシリコン窒化膜よりなる配線保護膜44を形成する（図6(a)）。

【0125】

次いで、例えば図6(b)乃至図7(b)に示す第1実施形態による半導体装置の製造方法と同様にして、配線保護膜44上に、ピアホール56が形成された

層間絶縁膜46及びストップ膜48と、配線溝54が形成された層間絶縁膜50とを形成する（図13（a））

次いで、全面に、例えばスパッタリング法により、膜厚5～50nm程度のZr膜を堆積する。こうして、Zr膜よりなる密着層72を形成する。

#### 【0126】

次いで、全面に、例えば反応性スパッタリング法を用い、膜厚25～30nmのTaN膜を堆積する。こうして、TaN膜よりなるバリア層58を形成する。

#### 【0127】

次いで、全面に例えばスパッタリング法により、膜厚50～200nm程度のCu膜を堆積する。こうして、シード層としてのCu膜62を形成する（図13（b））。

#### 【0128】

次いで、全面に、例えばメッキ法により、膜厚1000nm程度のCu膜64を堆積し、配線溝54、ピアホール56内を、Cu膜64により完全に埋め込む。

#### 【0129】

次いで、例えばCMP法により、層間絶縁膜50が露出するまでCu膜64、シード層としてのCu膜62、バリア層58、密着層72を平坦に研磨し、配線溝54内及びピアホール56内にのみCu膜64、シード層としてのCu膜62、バリア層58、密着層72を残存させる。

#### 【0130】

こうして、Cu膜64、シード層としてのCu膜62、バリア層58、密着層72よりなり、ピアホール56を介して配線層42に接続され、配線溝54に埋め込まれた配線層66を形成する（図14（a））。

#### 【0131】

次いで、配線層64が埋め込まれた層間絶縁膜50上に、例えばCVD法により、膜厚50～70nmのシリコン窒化膜よりなる配線保護膜68を形成する。

#### 【0132】

次いで、必要に応じて第3層以降の配線層（図示せず）を形成する。

## 【0133】

このように、本実施形態によれば、層間絶縁膜とバリア層との間にZr膜よりなる密着層を形成するので、層間絶縁膜とバリア層との間の密着性を高めることができ。これにより、CMPによるCu膜の研磨過程においてCu膜が剥がれることを抑止することができ、半導体装置の歩留まりや信頼性を向上することができる。

## 【0134】

## [第4実施形態]

本発明の第4実施形態による半導体装置及びその製造方法について図15乃至図18を用いて説明する。なお、図2乃至図14に示す第1乃至第3実施形態による半導体装置の構造及び製造方法と同様の構成要素については同一の符号を付し、説明を省略し或いは簡略にする。

## 【0135】

図15は本実施形態による半導体装置の構造を示す概略断面図、図16乃至図18は本実施形態による半導体装置の製造方法を示す工程断面図である。

## 【0136】

上記第1乃至第3実施形態では、ピアホールと配線溝とを同一工程で開口してこれら溝内に配線層を埋め込む、いわゆるデュアルダマシンプロセスにより配線層を形成する方法について説明したが、ピアホール内に電極プラグが埋め込まれた層間絶縁膜を形成した後に、銅配線が埋め込まれた層間絶縁膜を形成する、いわゆるシングルダマシンプロセスにおいても本発明を適用することができる。本実施形態では、シングルダマシン構造を有する半導体装置及びその製造方法について説明する。

## 【0137】

はじめに、本実施形態による半導体装置の構造について図15を用いて説明する。

## 【0138】

本実施形態による半導体装置は、図15に示すように、配線層42が、バリア層34、密着層36、シード層としてのCu膜38及びCu膜40により構成さ

れ、配線層66が、バリア層58、密着層60、シード層としてのCu膜62及びCu膜64により構成されている点は第1実施形態による半導体装置と同様である。本実施形態による半導体装置は、配線層42がピアホール32内に埋め込まれた電極プラグ74を介して下地構造に接続されている点に特徴がある。

## 【0139】

次に、本実施形態による半導体装置の製造方法について説明する。

## 【0140】

まず、例えば図3(a)乃至図3(b)に示す第1実施形態による半導体装置の製造方法と同様にして、MOSトランジスタと、MOSトランジスタ上を覆う層間絶縁膜22を形成する(図16(a))。

## 【0141】

次いで、通常のリソグラフィー技術及びエッティング技術により、層間絶縁膜22に、ソース/ドレイン拡散層14又はゲート電極18に達するピアホール32を形成する(図16(b))。

## 【0142】

次いで、CVD法により、例えば膜厚80nmのTiN膜と、例えば膜厚350nmのW(タンゲステン)膜とを堆積し、層間絶縁膜22の表面が露出するまでW膜、TiN膜、Ti膜をCMP法により平坦に研磨し、ピアホール32に埋め込まれ、ソース/ドレイン拡散層14又はゲート電極18に電気的に接続された電極プラグ74を形成する(図16(c))。

## 【0143】

次いで、全面に、例えばCVD法により、膜厚400nm程度のシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜26を形成する。

## 【0144】

次いで、通常のリソグラフィー技術及びエッティング技術を用い、層間絶縁膜26に配線溝30を形成する(図16(d))。

## 【0145】

次いで、例えば図4(a)に示す第1実施形態による半導体装置の製造方法と同様にして、例えば膜厚25~30nmのTaN膜よりなるバリア層34と、例

えば膜厚5～50nm程度のアモルファスZr膜よりなる密着層36と、例えば膜厚50～200nm程度のシード層としてのCu膜38を形成する（図17（a））。

#### 【0146】

次いで、全面に、例えばメッキ法により、膜厚1000nm程度のCu膜40を堆積し、配線溝30内を、Cu膜40により完全に埋め込む（図17（b））

#### 【0147】

次いで、例えばCMP法により、層間絶縁膜26が露出するまでCu膜40、シード層としてのCu膜38、密着層36、バリア層34を平坦に研磨し、配線溝30内及びピアホール32内にのみCu膜40、シード層としてのCu膜38、密着層36、バリア層34を残存させる。こうして、Cu膜40、シード層としてのCu膜38、密着層36、バリア層34よりなり、電極プラグ74を介してソース／ドレイン拡散層14又はゲート電極18に接続され、配線溝30に埋め込まれた配線層42を形成する（図18（a））。

#### 【0148】

次いで、例えば図6（a）乃至図9（b）に示す第1実施形態による半導体装置の製造方法と同様にして、Cu膜64、シード層としてのCu膜62、密着層60、バリア層58よりなり、ピアホール56を介して配線層42に接続され、配線溝54に埋め込まれた配線層66、配線保護膜68等を形成する（図18（b））。

#### 【0149】

このように、本実施形態によれば、シングルダマシン構造の配線層を有する半導体装置において、シード層とバリア層との間にZr膜よりなる密着層を形成するので、シード層とバリア層との間の密着性を高めることができる。これにより、CMPによるCu膜の研磨過程においてCu膜が剥がれることを抑止することができ、半導体装置の歩留まりや信頼性を向上することができる。

#### 【0150】

なお、上記実施形態では、第1層目の配線層にシングルダマシン構造を適用し

た場合を示したが、第2層目以降の配線層に同様のシングルダマシン構造を適用してもよい。また、第2層目以降の配線層のみにシングルダマシン構造を適用してもよい。

#### 【0151】

また、本実施形態では、第1実施形態による半導体装置及びその製造方法にシングルダマシン構造を適用した場合を示したが、第2実施形態及び第3実施形態による半導体装置及びその製造方法においても同様に適用することができる。

#### 【0152】

##### 【第5実施形態】

本発明の第5実施形態による半導体装置及びその製造方法について図19及び図20を用いて説明する。なお、図2乃至図18に示す第1乃至第4実施形態による半導体装置の構造及び製造方法と同様の構成要素については同一の符号を付し、説明を省略し或いは簡略にする。

#### 【0153】

図19は本実施形態による半導体装置の構造を示す概略断面図、図20は本実施形態による半導体装置の製造方法を示す工程断面図である。なお、図19及び図20は、第1実施形態による半導体装置における配線層42が形成された領域に相当する領域の拡大断面図を示したものである。

#### 【0154】

はじめに、本実施形態による半導体装置の構造について図19を用いて説明する。

#### 【0155】

本実施形態による半導体装置は、図19に示すように、バリア層34と密着層36との間に、島状構造のCu-Zr(銅-ジルコニウム)合金膜76'が形成されており、これらのバリア層34、Cu-Zr合金膜76'、密着層36、Cu膜38、40によって配線層42が構成されていることに特徴がある。同様に、バリア層58と密着層60の間に、島状構造のCu-Zr合金膜78'が形成されており、バリア層58、Cu-Zr合金膜78'、密着層60、Cu膜62、64によって配線層66が構成されていることに特徴がある。その他の構成部

分に関しては、図19に示す第1実施形態による半導体装置と同様である。

【0156】

次に、図19を参照しながら、本実施形態による配線層42、66の構成を詳細に説明する。

【0157】

図19に示すように、島状構造のCu-Zr合金膜76'は、Zr膜よりなる密着層36とバリア層34との界面に沿って散在して形成されている。密着層36上には、シード層としてのCu膜38、配線溝30及びピアホール32を埋め込むCu膜40が形成されている。

【0158】

Cu-Zr合金膜76'は、20nm程度以下の非常に薄い膜厚で形成されているため、完全な積層膜としては形成されておらず、図19に示すような島(粒)状構造の膜が相互に離間した状態で形成されている。このように、Cu-Zr合金膜76'を島状構造として形成し、バリア層34上に散在させることにより、密着層36はCu-Zr合金膜76'が形成されている領域ではCu-Zr合金膜76'と密着し、Cu-Zr合金膜76'が形成されていない領域では下層のバリア層34と密着することになる。従って、バリア層34と密着層36間でCu-Zr合金膜76'の島状構造が機械的にかみ合った構造が形成されることになる。

【0159】

そして、島状構造のCu-Zr合金膜76'には、後述の製造プロセスにより密着層36中のZrが拡散している。このため、島状構造のCu-Zr合金膜76'と密着層36の界面においては組成が連続して変化する構造となり、明瞭な界面が存在しない状態となるため、密着層36とCu-Zr合金膜76'の密着性を高めることが可能となる。また、密着層36とバリア層34との界面においても構成元素が相互拡散しており、Cu-Zr合金膜76'とバリア層34との界面においても構成元素が相互拡散しているため、これらの膜の界面においても高い密着性が確保されている。しかも、Cu-Zr合金膜76'は微小な凹凸形状に形成されており、密着層36とバリア層34との界面で機械的にかみ合って

いるため、両者の接合を強固に行うことが可能となる。

#### 【0160】

このように、密着層36とCu-Zr合金膜76'によってCu膜38とバリア層34の接着を強固に行うことにより、CMP法等によりCu膜38, 40に機械的応力が加えられるプロセスを行った場合でも、バリア層34からCu膜38, 40が剥がれてしまうことが抑止でき、また、ストレスマイグレーション耐性を高めることができが可能となる。更に、Cu膜38とバリア層34の密着性を高めることにより、配線層42に大電流を流した場合のCu膜38とバリア層34との界面近傍における原子の移動を最小限に抑えることができ、エレクトロマイグレーション耐性を向上させる効果も得られる。

#### 【0161】

次に、本実施形態による半導体装置の製造方法について図20を用いて説明する。

#### 【0162】

まず、例えば図3 (a) 乃至図4 (c) に示す第1実施形態による半導体装置の製造方法と同様にして、シリコン基板10上に、ピアホール32が形成された層間絶縁膜22と、配線溝30が形成された層間絶縁膜26を形成する。

#### 【0163】

次いで、例えば図5 (a) に示す第1実施形態による半導体装置の製造方法と同様にして、例えば膜厚20~40nm程度のTaN膜よりなるバリア層34を形成する。

#### 【0164】

次いで、バリア層34上を覆うようにシリコン基板10上の全面に島状のCu膜76を形成する(図20 (a))。具体的に説明すれば、シリコン基板10を100°C~250°C程度に加熱した状態で、スパッタ法によって蒸着量を制御して成膜を行い、Cu膜76を30nm程度の膜厚で形成する。これにより、Cu膜は均一な膜として形成されず、平面的に見れば直径20nm程度の多数の円形様の島状構造として形成される。

#### 【0165】

ここで、Cu膜76の膜厚を30nm以上とすると、隣接する島状構造が繋がってCu膜76が均一な膜として形成され、島状構造を形成することができないため、Cu膜76の膜厚は30nm以下に形成する必要がある。また、膜厚30nm以下で形成した場合の各島状構造の間隔は2nm～20nm程度となる。Cu膜76を形成する際の基板温度を変更することにより、島状構造のCu膜76の膜厚、直径を可変することができ、基板温度を低くすると、膜厚、直径は小さくなる。シリコン基板10の加熱は、基板下側からヒータを用いて加熱するが、上側からランプ等の光源を用いて加熱するようにしてもよい。なお、Cu膜76は、CVD法、メッキ法によって形成することも可能である。

#### 【0166】

次いで、シリコン基板10上の全面に膜厚5nm～50nm程度のジルコニウム膜を堆積する。Zr膜の形成は、スパッタ法、CVD法、メッキ法等を用いて行う。これにより、Zr膜よりなる密着層36が形成される（図20（b））。

#### 【0167】

次いで、スパッタ法、CVD法等により、シード層としてのCu膜38を50nm～200nm程度の膜厚で形成する（図20（c））。シード層としてのCu膜38は、Cu膜をメッキ法により堆積する際に、基板の導電性を高めるため下地膜として堆積する膜である。

#### 【0168】

次いで、シード層としてのCu膜38を形成した後、熱処理を行う。熱処理としては、例えば200℃程度の低温、あるいは例えば500℃程度の温度で数秒の短時間の熱処理を行う。これにより、密着層36中のZrが微細結晶構造を有する島状構造のCu膜76中やシード層としてのCu膜38中に拡散し、Cu膜76はCu-Zr合金膜76'となる（図20（d））。

#### 【0169】

この際、微細結晶構造のCu膜76は体積が小さいので、低温あるいは短時間の熱処理でZrが拡散し、Cu-Zr合金膜76' とバリア層34との密着性が向上する。また、Zrはバリア層34中にも拡散するため、密着層36とバリア層34の界面近傍、あるいはCu-Zr合金膜76' とバリア層34との界面近

傍におけるバリア層34中にもZrが拡散して密着性が高められる。そして、バリア層34と密着層36の間に凹凸形状を有するCu-Zr合金膜76'が形成されるため、バリア層34と密着層36の界面を機械的に噛み合った構造とすることができる、機械的応力に対して強化された構造とすることができます。なお、Zrからなる密着層36を形成するだけでも、密着層36とCu-Zr合金膜76'若しくはバリア層34との密着性を高めることは可能であるが、上述の熱処理を行うことによって確実にZrを島状構造のCu膜76中、バリア層34中に拡散させることができ、更なる密着性の向上を達成することが可能となる。また、熱処理温度や熱処理時間は、Zrを島状のCu膜76及びCu膜38中に拡散させるという目的が達成されるならば、上述した温度、時間に限定されるものではない。

#### 【0170】

この後、例えば図5（b）乃至図9（b）に示す半導体装置の製造方法並びに図20に示す配線層42の形成方法と同様にして、配線層66等を形成する。

#### 【0171】

このように、本実施形態によれば、配線溝30、ピアホール32の内壁面を覆うようにバリア層34及び密着層36を形成し、Cu膜38、40で配線溝30、ピアホール32を埋め込むようにした配線層42の構成において、バリア層34と密着層36の界面に島状構造のCu-Zr合金膜76'を形成したため、Cu-Zr合金膜76'の凹凸形状がバリア層34と密着層36の界面で機械的にかみ合うこととなり、バリア層34と密着層36の接合を強固に行うことが可能となる。また、密着層36として、バリア層34及びCu膜38との密着性の高いZr膜等の材料を用いることによりCu膜38とバリア層34の密着性を高めることができる。

#### 【0172】

従って、本実施形態によれば、製造プロセス中にCu膜38、40に力が加えられてCu膜38とバリア層34の間に応力がかかった場合でも、Cu膜38、40がバリア層34から剥がれてしまうことを抑止でき、また、Cu膜38とバリア層34との密着性の向上によりストレスマイグレーション耐性を向上させる

ことも可能となる。また、バリア層34とCu膜38の密着性を高めたことにより、Cu膜38とバリア層34の界面におけるCu膜38中の原子の移動が抑止されることとなり、エレクトロマイグレーション耐性を向上させる効果も得られる。

#### 【0173】

なお、上記実施形態では、Cu-Zr合金からなる島状構造体を第1実施形態による半導体装置のバリア層と密着層との間に設けた場合を示したが、第2乃至第4実施形態においても同様に適用することができる。

#### 【0174】

##### 【第6実施形態】

次に、本発明の第6実施形態による半導体装置及びその製造方法について図21及び図22を用いて説明する。なお、図2乃至図20に示す第1乃至第5実施形態による半導体装置の構造及び製造方法と同様の構成要素については同一の符号を付し、説明を省略し或いは簡略にする。

#### 【0175】

図21は本実施形態による半導体装置の構造を示す概略断面図、図22は本実施形態による半導体装置の製造方法を示す工程断面図である。なお、図21及び図22は、第1実施形態による半導体装置における配線層42が形成された領域に相当する領域の拡大断面図を示したものである。

#### 【0176】

本実施形態による半導体装置は、第5実施形態で説明した島状構造のCu-Zr合金膜76'の上層及び下層に密着層としてのZr膜を形成し、2層の密着層によって島状構造のCu-Zr合金膜76'を包含するようにしている点で第5実施形態と相違する。その他の構成については図19に示した第5実施形態に係る半導体装置の構成と同様である。

#### 【0177】

図21に示すように、第6実施形態においては、バリア層34上にZrからなる密着層80が形成されており、Cu-Zr合金膜76'は密着層80と密着層36によって包含されている。これにより、密着層36と密着層80との間でC

Cu-Zr合金膜76'が機械的にかみ合った構造が形成されることになる。Cu-Zr合金膜76'の膜厚、直径及び隣接する島状構造同士の間隔については第5実施形態と同様である。

#### 【0178】

そして、島状構造のCu-Zr合金膜76'には、後述の製造プロセスにより密着層36, 80中のZrが拡散している。このため、密着層36, 80とCu-Zr合金膜76'の界面においては、組成が連続して変化しており、明瞭な界面が存在しない状態となる。従って、密着層36, 80とCu-Zr合金膜76'の密着性が高められることになる。同様に、密着層36とCu膜38との界面においても密着層36中のZrがCu膜38中に拡散しているため、密着性が高められている。また、密着層80とバリア層34との界面においても構成元素が相互拡散しているため、ここでも高い密着性が確保されている。

#### 【0179】

そして、Cu-Zr合金膜76'の微小な凹凸が密着層36と密着層80との間で機械的にかみ合っているため、両者の接合を強固に行うことが可能となる。従って、CMP法等によりCu膜38, 40に機械的応力が加えられるプロセスを行った場合でも、バリア層34からCu膜38, 40が剥がれてしまうことが抑止でき、また、ストレスマイグレーション耐性を高めることができるとなる。更に、Cu膜38とバリア層34の密着性を高めることにより、Cu膜38とバリア層34との界面近傍における原子の移動を最小限に抑えることができ、エレクトロマイグレーション耐性を向上させる効果も得られる。

#### 【0180】

次に、図22を参照しながら、密着層80、Cu-Zr合金膜76'、密着層36、シード層としてのCu膜38、Cu膜40を形成する方法について詳細に説明する。

#### 【0181】

まず、バリア層34上を覆うように膜厚5nm～50nm程度のZr膜をアモルファスの状態で堆積して、Zr膜からなる密着層80を形成する。

#### 【0182】

次いで、密着層80上に島状のCu膜76を形成する（図22（a））。この際、第5実施形態と同様にシリコン基板10を100℃～250℃程度に加熱した状態で、スパッタ法によって蒸着量を制御して成膜を行い、膜厚30nm程度のCu膜76を形成する。これにより、Cu膜は均一な膜として形成されず、平面形状として直径20nm程度の円形の島状構造として形成される。第6実施形態では、密着層80の膜厚に応じて島状構造の大きさを制御することができる。そして、第5実施形態と同様、シリコン基板10への加熱温度を変更することにより、島状のCu膜76の膜厚、直径を可変することができる。なお、Cu膜76は、CVD法、メッキ法によって形成してもよい。

#### 【0183】

次いで、再びシリコン基板10上の全面に膜厚5nm～50nm程度のZr膜を堆積する。これにより、Zr膜よりなる密着層80が形成される（図22（b））。

#### 【0184】

次いで、スパッタ法、CVD法等によりシード層としてのCu膜38を50nm～200nm程度の膜厚で形成する（図22（c））。

#### 【0185】

次いで、Cu膜38の形成後、熱処理を行う。熱処理としては、例えば200℃程度の低温、あるいは例えば500℃程度の温度で数秒程度の短時間の熱処理を行う。これにより、密着層36及び密着層80のZrが微細結晶構造を有する島状のCu膜76中やシード層としてのCu膜38中に拡散し、Cu膜76はCu-Zr合金膜76'となる（図22（d））。また、Zrバリア層34中にも拡散するため、密着層36とバリア層34の界面近傍においても元素が相互に拡散し、密着性が高められる。そして、Cu-Zr合金膜76'の島状構造は凹凸形状を有するため、密着層36及び密着層80と機械的にかみ合い、機械的応力に対する強化された構造を構成することができる。その後、シード層としてのCu膜38を用いてメッキ法によりCu膜40を形成して、図21に示す配線層42を完成させる。

#### 【0186】

このように、本実施形態によれば、バリア層34上に密着層80を形成し、密着層80と密着層36の界面に島状構造のCu-Zr合金膜76'を形成したため、Cu-Zr合金膜76'の凹凸形状が密着層80と密着層36の界面で機械的にかみ合うこととなり、密着層80と密着層36の接合を強固に行うことが可能となる。

#### 【0187】

また、密着層36、80として、バリア層34及びCu膜との密着性の高いジルコニウム等の材料を用いたため、はじめに形成した密着層80はバリア層34との密着性を高めることとなり、Cu膜38とバリア層34との密着性を更に向上させることが可能となる。

#### 【0188】

従って、本実施形態によれば、第5実施形態と同様に製造プロセス中にCu膜38、40に力が加えられてCu膜38とバリア層34の間に応力がかかった場合であっても、Cu膜38、40がバリア層34から剥がれてしまうことを抑止でき、また、Cu膜38とバリア層34の密着性を高めたことにより、ストレスマイグレーション耐性を向上させることも可能となる。また、バリア層34とCu膜38の密着性を高めたことにより、Cu膜38と密着層36との界面におけるCu膜38中の原子の移動が抑止されることとなり、エレクトロマイグレーション耐性を向上させる効果も得られる。

#### 【0189】

なお、上記実施形態では、Cu-Zr合金からなる島状構造体を第1実施形態による半導体装置のバリア層と密着層との間に設けた場合を示したが、第2乃至第4実施形態においても同様に適用することができる。

#### 【0190】

##### 【変形実施形態】

本発明は、上記実施形態に限らず種々の変形が可能である。

#### 【0191】

例えば、上記第1乃至第5実施形態では、密着層としてZr膜を適用した場合を示したが、Cu膜中の固溶度が低く、Cuの抵抗値を増大する効果が小さい材

料であれば、本発明の上記効果を奏することができる。したがって、Zrに代えて、Cd、Ag若しくはPb又はこれらの合金等を適用してもよい。この場合、第5及び第6実施形態では、島状構造体として、これら金属とCuとの合金を適用することができる。

#### 【0192】

また、上記第1乃至第3実施形態では、バリア層としてTaNを適用した場合を例にして説明したが、他の材料を適用することもできる。Zr膜に対して良好な密着性を得られる他のバリア材料として、例えば、Ta、Ti、W若しくはNb又はこれらの窒化物、WSiなどの高融点金属シリサイド、TiWなどを適用することができる。

#### 【0193】

また、上記第1、第2及び第4実施形態ではバリア層とシード層との間に密着層を設けた半導体装置及びその製造方法を、第3実施形態では層間絶縁膜とバリア層との間に密着層を設けた半導体装置及びその製造方法を示したが、例えば図23に示すように、層間絶縁膜とバリア層との間及びバリア層とシード層との間にそれぞれ密着層を設けてもよい。すなわち、配線層42として、Cu膜40／シード層としてのCu膜38／密着層36／バリア層34／密着層70よりなる構造を、配線層66として、Cu膜64／シード層としてのCu膜62／密着層60／バリア層58／密着層72よりなる構造を適用することができる。

#### 【0194】

また、上記第1乃至第4実施形態では、シリコン基板10に接続される第1層目の金属配線層と、第1層目の金属配線層に接続される第2層目の金属配線層に本発明を適用する場合を説明したが、更に上層の金属配線層においても本発明を適用することができる。また、異なるレベルの配線層の構造を同じにする必要はなく、例えば、第1層目の配線層に第1実施形態を、第2層目の配線層に第3実施形態を適用するようにしてもよい。

#### 【0195】

上述したことから明らかなように、本発明の特徴をまとめると以下の通りとなる。

【0196】

(付記1) 銅を主成分とする配線材がバリア層を介して絶縁膜に埋め込まれてなる金属配線構造であって、前記配線材と前記バリア層とが、ジルコニウムを含む密着層を介して接合されていることを特徴とする金属配線構造。

【0197】

(付記2) 銅を主成分とする配線材がバリア層を介して絶縁膜に埋め込まれてなる金属配線構造であって、前記絶縁膜と前記バリア層とが、ジルコニウムを含む密着層を介して接合されていることを特徴とする金属配線構造。

【0198】

(付記3) 付記1又は2記載の金属配線構造において、前記密着層と前記バリア層との間に、銅-ジルコニウム合金からなる島状構造体が散在していることを特徴とする金属配線構造。

【0199】

(付記4) 銅を主成分とする配線材がバリア層を介して絶縁膜に埋め込まれてなる金属配線構造であって、前記配線材と前記バリア層とがジルコニウムを含む密着層を介して接合され、前記バリア層上に前記密着層に向かって突出するようになに形成された銅-ジルコニウム合金からなる微細な島状構造体が、前記密着層中に埋め込まれて前記密着層とかみ合っていることを特徴とする金属配線構造。

【0200】

(付記5) 銅を主成分とする配線材がバリア層を介して絶縁膜に埋め込まれてなる金属配線構造であって、前記配線材と前記バリア層とが、銅中における固溶度が20%以下であり、銅中に固溶したときの比抵抗の増加が19.8%以下である金属材料を含む密着層を介して接合していることを特徴とする金属配線構造。

【0201】

(付記6) 半導体基板上の絶縁膜に形成された開口部を埋め込むようにして金属配線が形成され、前記金属配線が前記半導体基板上の半導体素子と電気的に接続されている半導体装置であって、前記金属配線は、前記開口部の内壁面を覆うように形成されたバリア層と、前記バリア層上を覆うように形成されたジルコ

ニウムを含む密着層と、前記バリア層及び前記密着層を介して前記開口部に埋め込まれた銅を主成分とする配線材とを有することを特徴とする半導体装置。

【0202】

(付記7) 半導体基板上の絶縁膜に形成された開口部を埋め込むようにして金属配線が形成され、前記金属配線が前記半導体基板上の半導体素子と電気的に接続されている半導体装置であって、前記金属配線は、前記開口部の内壁面を覆うように形成されたジルコニウムを含む密着層と、前記密着層を覆うように形成されたバリア層と、前記密着層及び前記バリア層を介して前記開口部に埋め込まれた銅を主成分とする配線材とを有することを特徴とする半導体装置。

【0203】

(付記8) 付記6又は7記載の半導体装置において、前記バリア層と前記密着層との間に、銅-ジルコニウム合金からなる島状構造体が散在していることを特徴とする半導体装置。

【0204】

(付記9) 付記6又は7記載の半導体装置において、前記密着層は、散在して設けられた銅-ジルコニウム合金からなる島状構造体を包含していることを特徴とする半導体装置。

【0205】

(付記10) 付記8又は9記載の半導体装置において、前記島状構造体の膜厚は、30nm以下であることを特徴とする半導体装置。

【0206】

(付記11) 付記8乃至10のいずれか1項に記載の半導体装置において、前記島状構造体の直径は、20nm以下であることを特徴とする半導体装置。

【0207】

(付記12) 付記8乃至11のいずれか1項に記載の半導体装置において、隣接する前記島状構造体の間隔は2nm以上20nm以下であることを特徴とする半導体装置。

【0208】

(付記13) 付記6乃至12のいずれか1項に記載の半導体装置において、

前記開口部は、配線溝と前記配線溝内に開孔されたピアホールを含むことを特徴とする半導体装置。

【0209】

(付記14) 銅を主成分とする金属配線の形成方法であって、下地絶縁膜上にバリア層を形成する工程と、前記バリア層上にジルコニウムを含む密着層を形成する工程と、前記密着層上に銅を主成分とする配線材を形成する工程とを有することを特徴とする金属配線の形成方法。

【0210】

(付記15) 銅を主成分とする金属配線の形成方法であって、下地絶縁膜上にジルコニウムを含む密着層を形成する工程と、前記密着層上にバリア層を形成する工程と、前記バリア層上に銅を主成分とする配線材を形成する工程とを有することを特徴とする金属配線の形成方法。

【0211】

(付記16) 付記14又は15記載の金属配線の形成方法において、前記バリア層を形成する工程の後に、前記バリア層上に銅を主成分とする微細な島状構造体を散在させて形成する工程を更に有することを特徴とする金属配線の形成方法。

【0212】

(付記17) 半導体基板上の半導体素子と接続される金属配線を前記半導体基板上の絶縁膜中に形成する方法であって、前記半導体基板上に前記絶縁膜を形成する工程と、前記絶縁膜を選択的に除去して開口部を形成する工程と、前記開口部の内壁を覆うようにバリア層を形成する工程と、前記バリア層上にジルコニウムを含む第1の密着層を形成する工程と、前記開口部上を含む前記絶縁膜上に銅を主成分とする配線材を形成し、前記開口部を埋め込む工程と、前記絶縁膜が露出するまで、前記配線材、前記第1の密着層及び前記バリア層を研磨して除去し、前記開口部に埋め込まれた前記配線材、前記第1の密着層及び前記バリア層からなる前記金属配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【0213】

(付記18) 付記17記載の半導体装置の製造方法において、前記バリア層を形成する工程の後に、前記バリア層上に銅を主成分とする微細な島状構造体を散在させて形成する工程を更に有することを特徴とする半導体装置の製造方法。

【0214】

(付記19) 付記17又は18記載の半導体装置の製造方法において、前記配線層を形成する工程は、前記密着層を覆うように銅からなるシード層を形成する工程と、前記半導体基板に熱処理を施して、前記密着層中のジルコニウムを前記シード層及び／又は前記島状構造体中に拡散させる工程とを更に有することを特徴とする半導体装置の製造方法。

【0215】

(付記20) 半導体基板上の半導体素子と接続される金属配線を前記半導体基板上の絶縁膜中に形成する方法であって、前記半導体基板上に前記絶縁膜を形成する工程と、前記絶縁膜を選択的に除去して開口部を形成する工程と、前記開口部の内壁を覆うようにジルコニウムを含む第1の密着層を形成する工程と、前記第1の密着層上にバリア層を形成する工程と、前記開口部上を含む前記絶縁膜上に銅を主成分とする配線材を形成し、前記開口部を埋め込む工程と、前記絶縁膜が露出するまで、前記配線材、前記バリア層及び前記第1の密着層を研磨して除去し、前記開口部に埋め込まれた前記配線材、前記バリア層及び前記第1の密着層からなる前記金属配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【0216】

(付記21) 付記20記載の半導体装置の製造方法において、前記バリア層を形成する工程の後に、前記バリア層上に銅を主成分とする微細な島状構造体を散在させて形成する工程を更に有することを特徴とする半導体装置の製造方法。

【0217】

(付記22) 付記20記載の半導体装置の製造方法において、前記島状構造体を形成する工程の前に、前記バリア層上にジルコニウムを含む第2の密着層を形成する工程を更に有することを特徴とする半導体装置の製造方法。

【0218】

(付記23) 付記18又は21記載の半導体装置の製造方法において、前記島状構造体を形成する工程では、前記島状構造体を30nm以下の膜厚で形成することを特徴とする半導体装置の製造方法。

【0219】

(付記24) 付記18又は21記載の半導体装置の製造方法において、前記島状構造体を形成する工程では、前記島状構造体を20nm以下の直径で形成することを特徴とする半導体装置の製造方法。

【0220】

(付記25) 付記18又は21記載の半導体装置の製造方法において、前記島状構造体を形成する工程では、隣接する前記島状構造体の間隔が2nm以上20nm以下となるように前記島状構造体を形成することを特徴とする半導体装置の製造方法。

【0221】

【発明の効果】

以上の通り、本発明によれば、銅を主成分とする埋め込み配線層を有する半導体装置及びその製造方法において、シード層とバリア層との間にZr膜よりなる密着層を形成するので、シード層とバリア層との間の密着性を高めることができる。また、シード層とバリア層との間にCu-Zr合金からなる島状構造体を形成することにより、密着性を更に高めることができる。これにより、銅配線が製造プロセスにおいて剥離してしまうことを抑止することができ、また、銅配線のエレクトロマイグレーション耐性、ストレスマイグレーション耐性の更なる向上を図ることが可能となる。従って、歩留りを向上させるとともに信頼性を向上させた金属配線構造、半導体装置、金属配線の形成方法及び半導体装置の製造方法を提供することが可能となる。

【図面の簡単な説明】

【図1】

Cu膜とZr膜、Cu膜とSn膜、及び、Cu膜とPd膜について膜厚比を変化したときの比抵抗の変化を示すグラフである。

【図2】

本発明の第1及び第2実施形態による半導体装置の構造を示す概略断面図である。

【図3】

本発明の第1及び第2実施形態による半導体装置の製造方法を示す工程断面図(その1)である。

【図4】

本発明の第1及び第2実施形態による半導体装置の製造方法を示す工程断面図(その2)である。

【図5】

本発明の第1及び第2実施形態による半導体装置の製造方法を示す工程断面図(その3)である。

【図6】

本発明の第1及び第2実施形態による半導体装置の製造方法を示す工程断面図(その4)である。

【図7】

本発明の第1及び第2実施形態による半導体装置の製造方法を示す工程断面図(その5)である。

【図8】

本発明の第1及び第2実施形態による半導体装置の製造方法を示す工程断面図(その6)である。

【図9】

本発明の第1及び第2実施形態による半導体装置の製造方法を示す工程断面図(その7)である。

【図10】

本発明の第3実施形態による半導体装置の構造を示す概略断面図である。

【図11】

本発明の第3実施形態による半導体装置の製造方法を示す工程断面図(その1)である。

【図12】

本発明の第3実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図13】

本発明の第3実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図14】

本発明の第3実施形態による半導体装置の製造方法を示す工程断面図（その4）である。

【図15】

本発明の第4実施形態による半導体装置の構造を示す概略断面図である。

【図16】

本発明の第4実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図17】

本発明の第4実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図18】

本発明の第4実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図19】

本発明の第5実施形態による半導体装置の構造を示す概略断面図である。

【図20】

本発明の第5実施形態による半導体装置の製造方法を示す工程断面図である。

【図21】

本発明の第6実施形態による半導体装置の構造を示す概略断面図である。

【図22】

本発明の第6実施形態による半導体装置の製造方法を示す工程断面図である。

【図23】

本発明の実施形態の変形例による半導体装置及びその製造方法を示す概略断面

図である。

【図24】

従来の半導体装置の製造方法を示す工程断面図である。

【符号の説明】

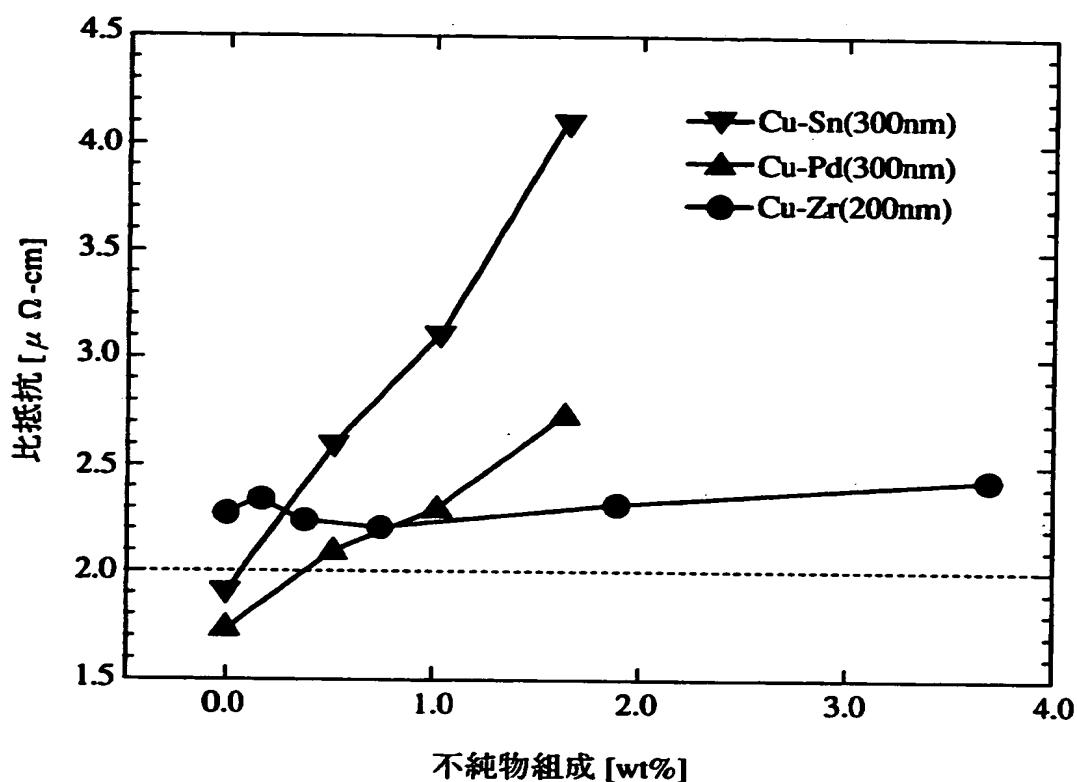
- 10 …シリコン基板
- 12 …素子分離膜
- 14 …ソース／ドレイン拡散層
- 16 …ゲート絶縁膜
- 18 …ゲート電極
- 20 …サイドウォール絶縁膜
- 22、26、46、50 …層間絶縁膜
- 24、48 …ストップ膜
- 28、52 …レジスト膜
- 30、54 …配線溝
- 32、56 …ピアホール
- 34、58 …バリア層
- 36、60 …密着層
- 38、62 …シード層としてのCu膜
- 40、64 …Cu膜
- 42、66 …配線層
- 44、68 …配線保護膜
- 70、72、80 …密着層
- 74 …電極プラグ
- 76 …島状のCu膜
- 76'、78' …Cu-Zr合金膜
- 101 …層間絶縁膜
- 102 …配線溝
- 103 …高融点金属膜
- 104 …シード層としてのCu膜

特2000-236744

105…Cu膜

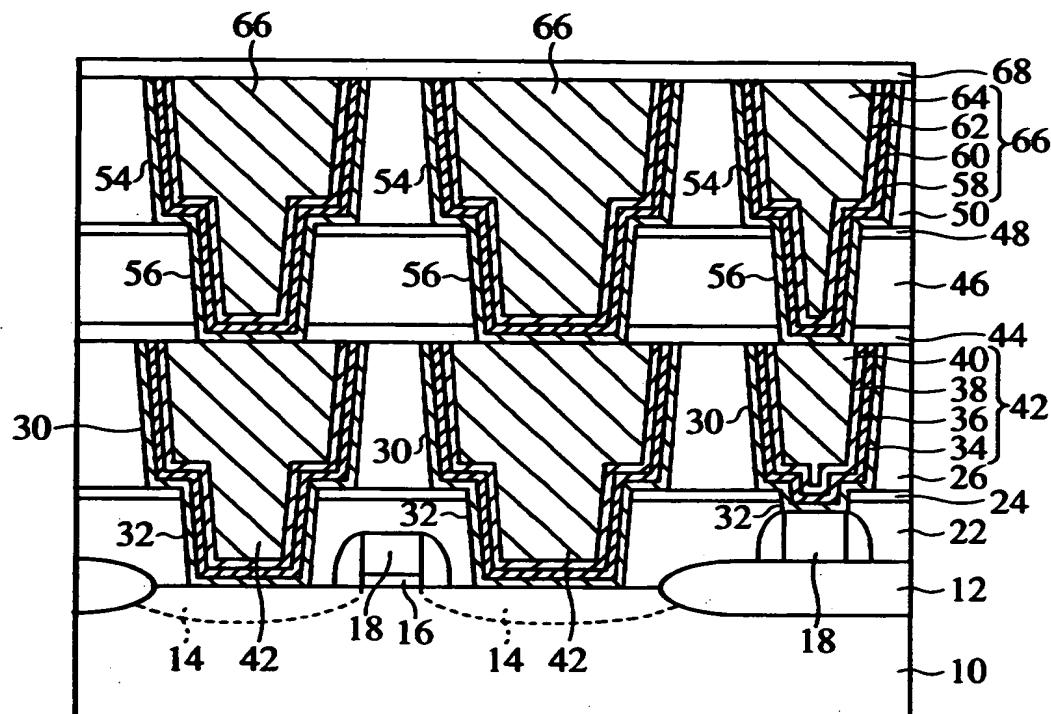
【書類名】 図面  
【図1】

Cu膜とZr膜、Cu膜とSn膜、及び、Cu膜とPd膜について  
膜厚比を変化したときの比抵抗の変化を示すグラフ



【図2】

## 本発明の第1及び第2実施形態による半導体装置の構造を示す概略断面図



10…シリコン基板

12…素子分離膜

14…ソース／ドレイン拡散層

16…ゲート絶縁膜

18…ゲート電極

20…サイドウォール絶縁膜

22、26、46、50…層間絶縁膜

24、48…ストッパ膜

30、54…配線溝

32、56…ビアホール

34、58…バリア層

36、60…密着層

38、62…シード層としてのCu膜

40、64…Cu膜

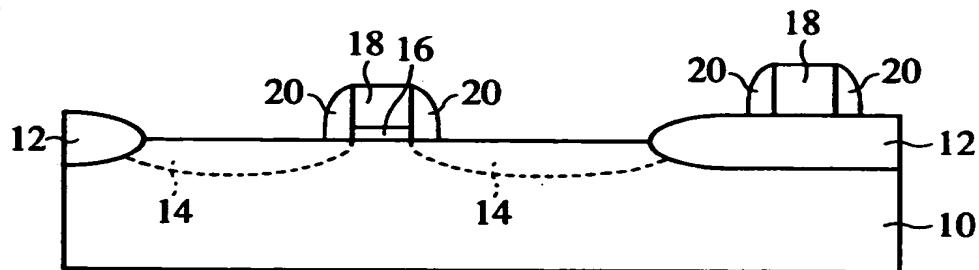
42、66…配線層

44、68…配線保護膜

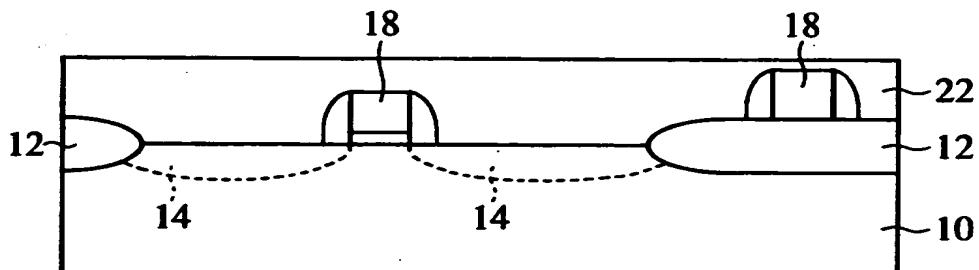
【図3】

## 本発明の第1及び第2実施形態による半導体装置の製造方法を示す工程断面図(その1)

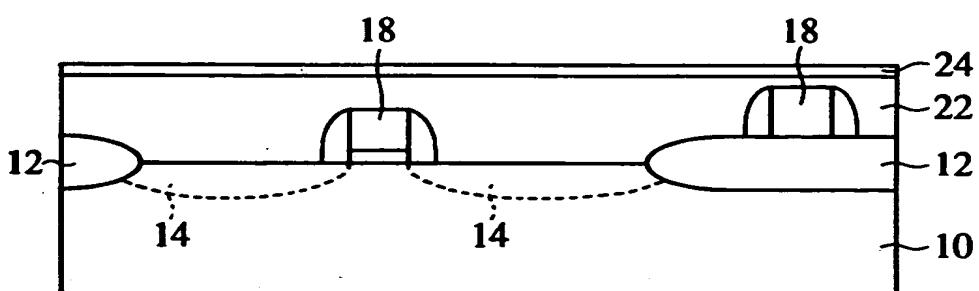
(a)



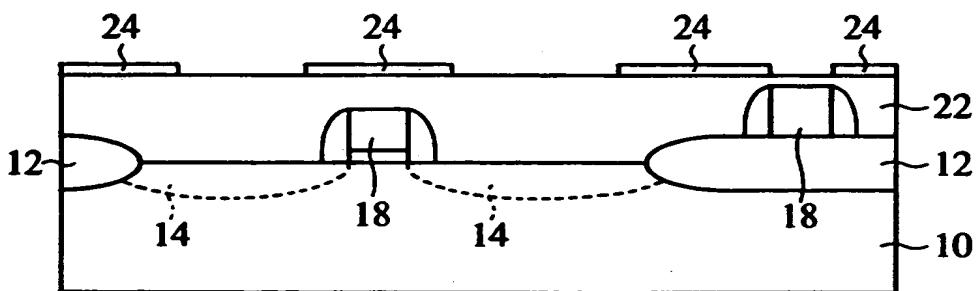
(b)



(c)



(d)

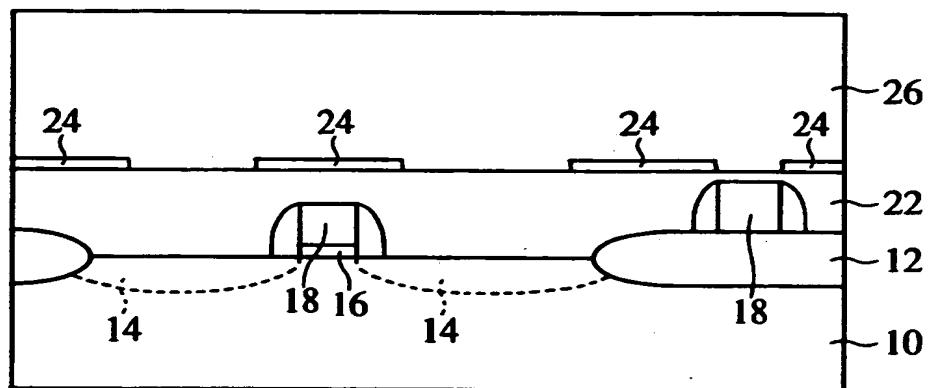


特2000-236744

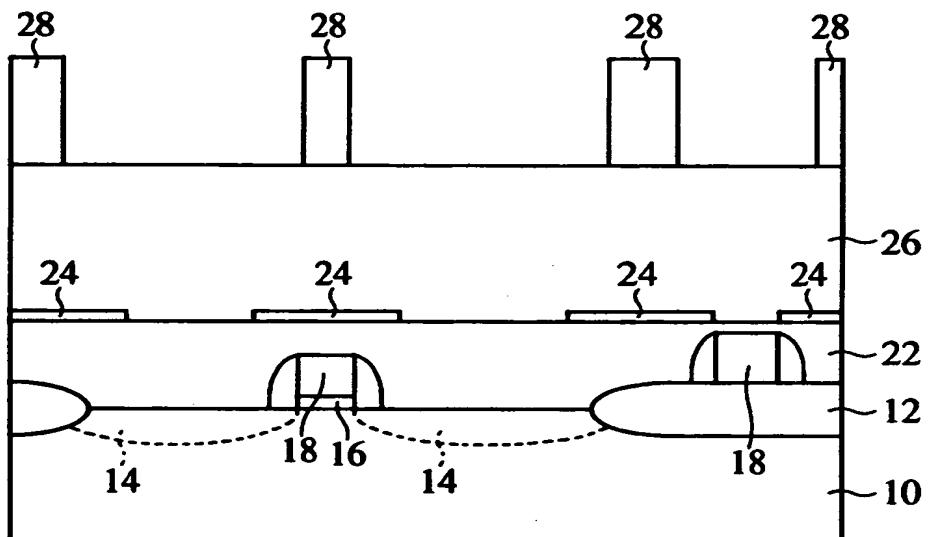
【図4】

本発明の第1及び第2実施形態による半導体装置の製造方法を  
示す工程断面図(その2)

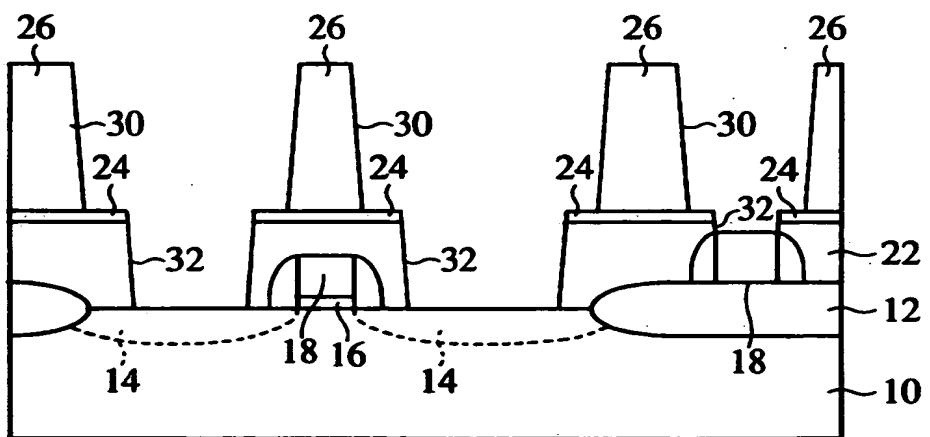
(a)



(b)



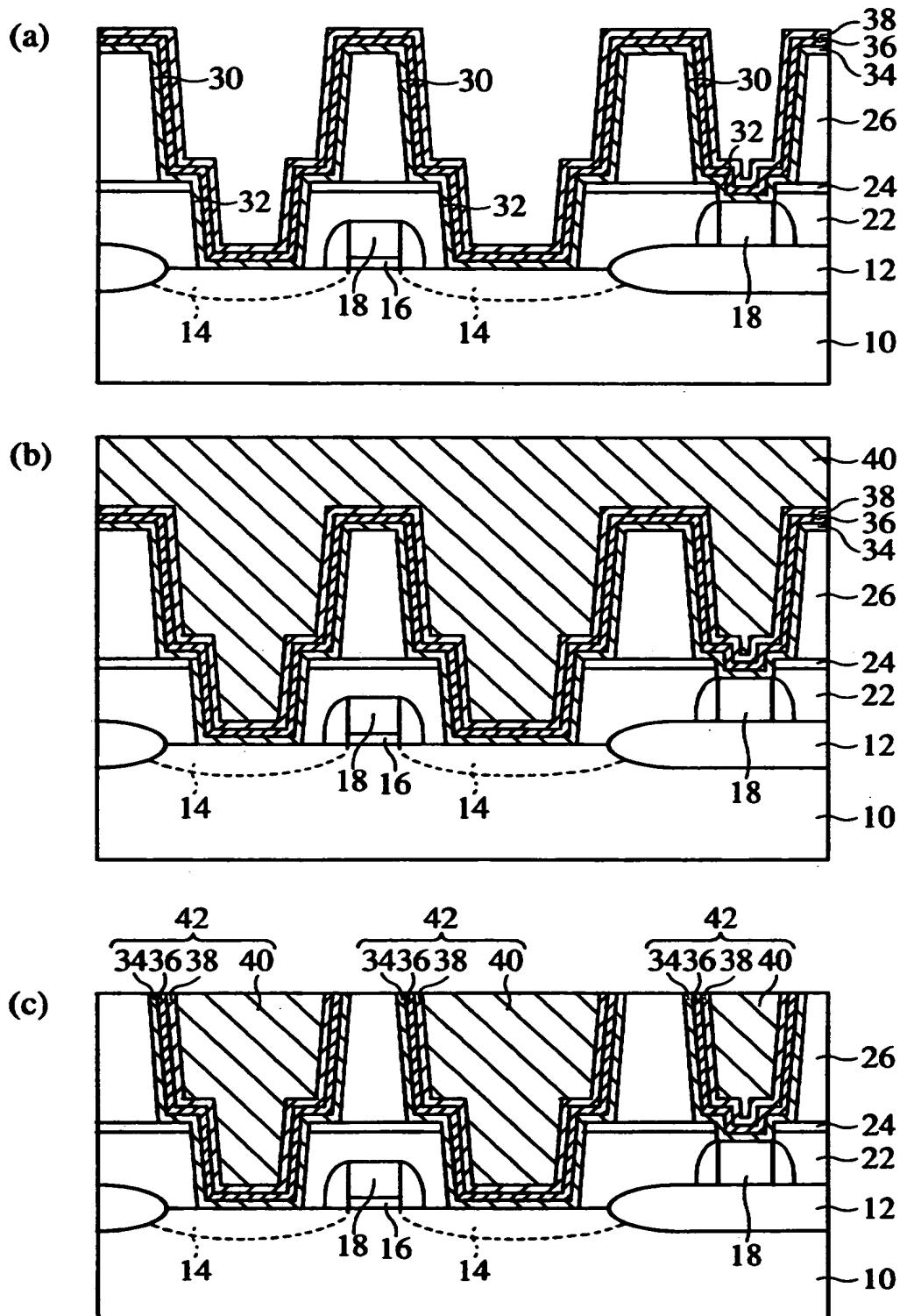
(c)



特2000-236744

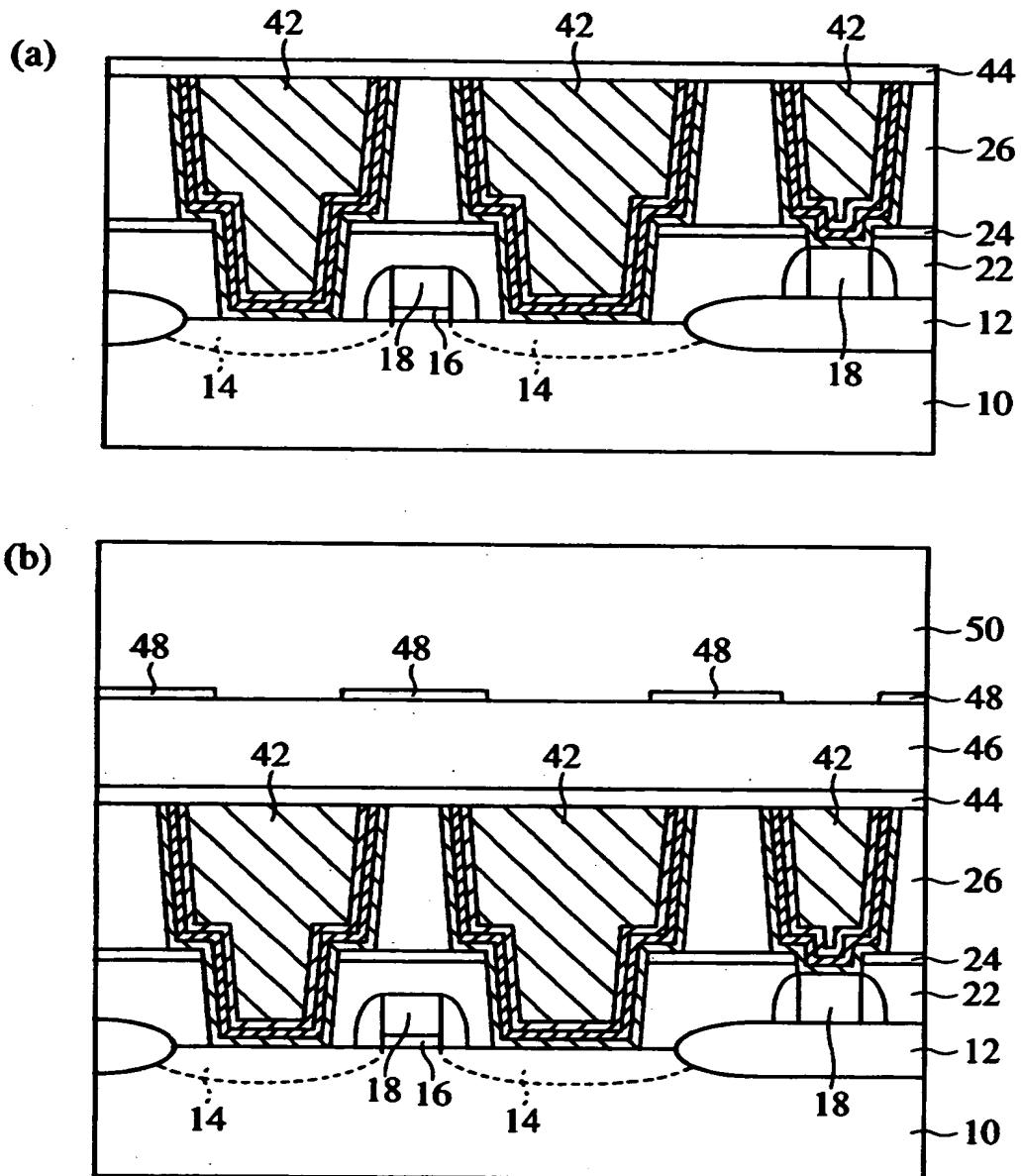
【図5】

本発明の第1及び第2実施形態による半導体装置の製造方法を  
示す工程断面図(その3)



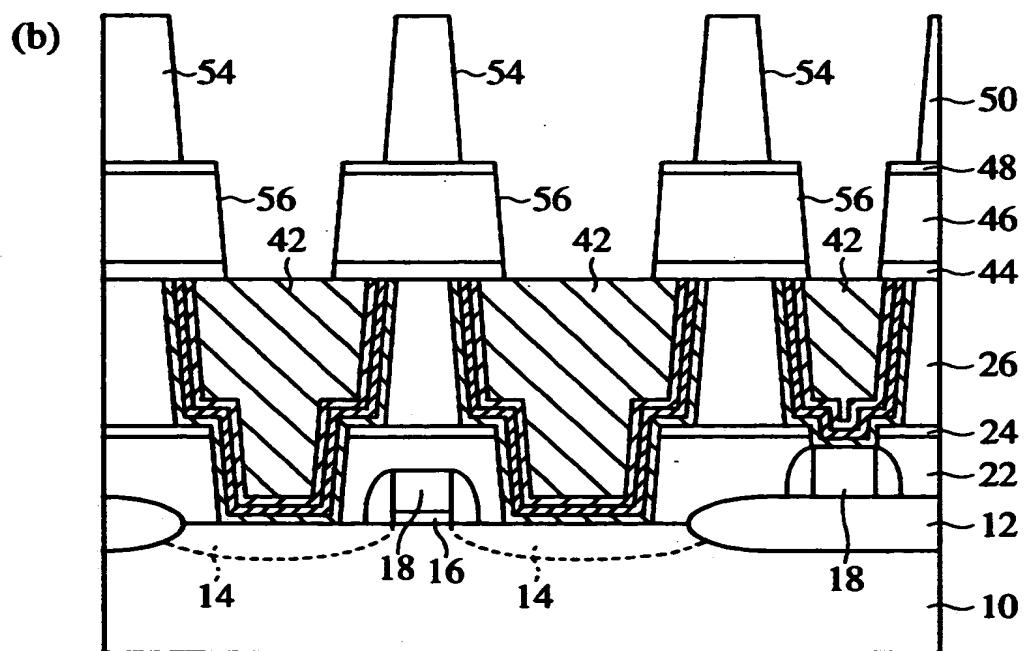
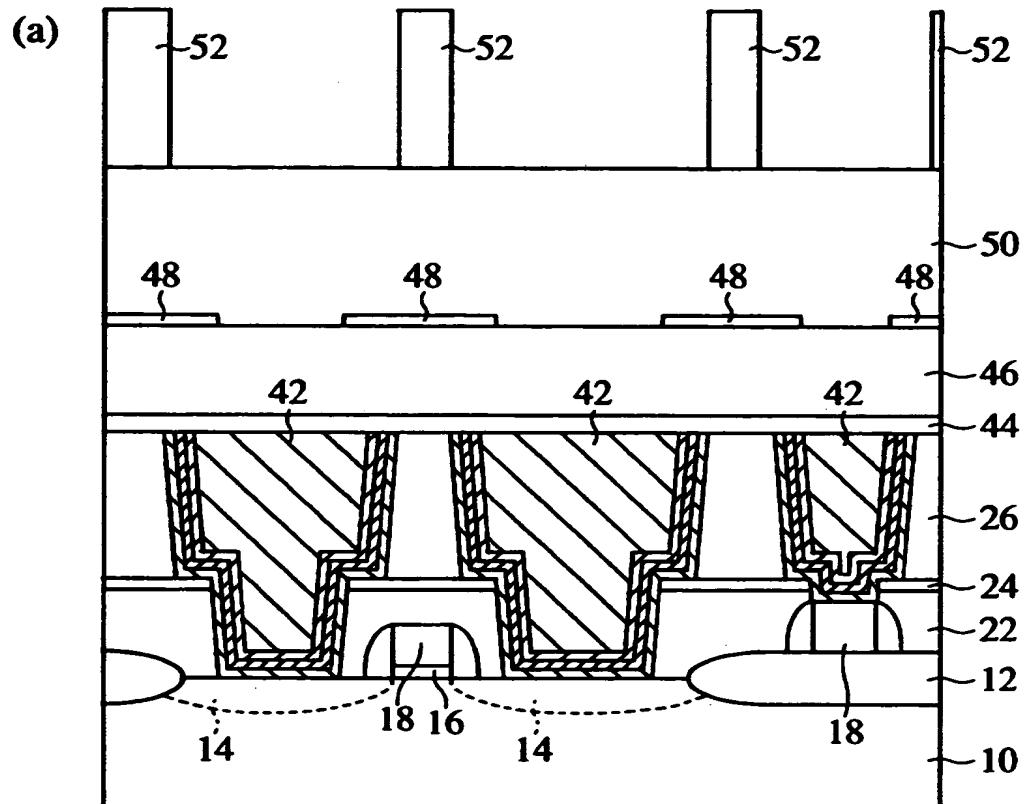
【図6】

本発明の第1及び第2実施形態による半導体装置の製造方法を示す工程断面図(その4)



【図7】

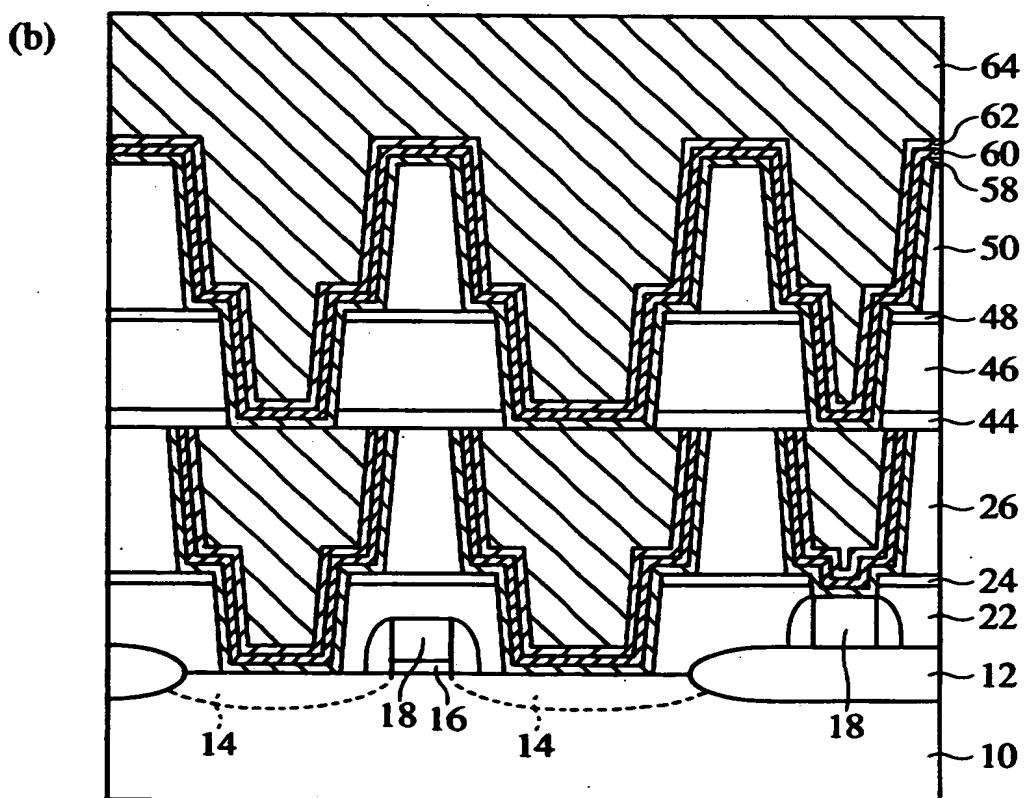
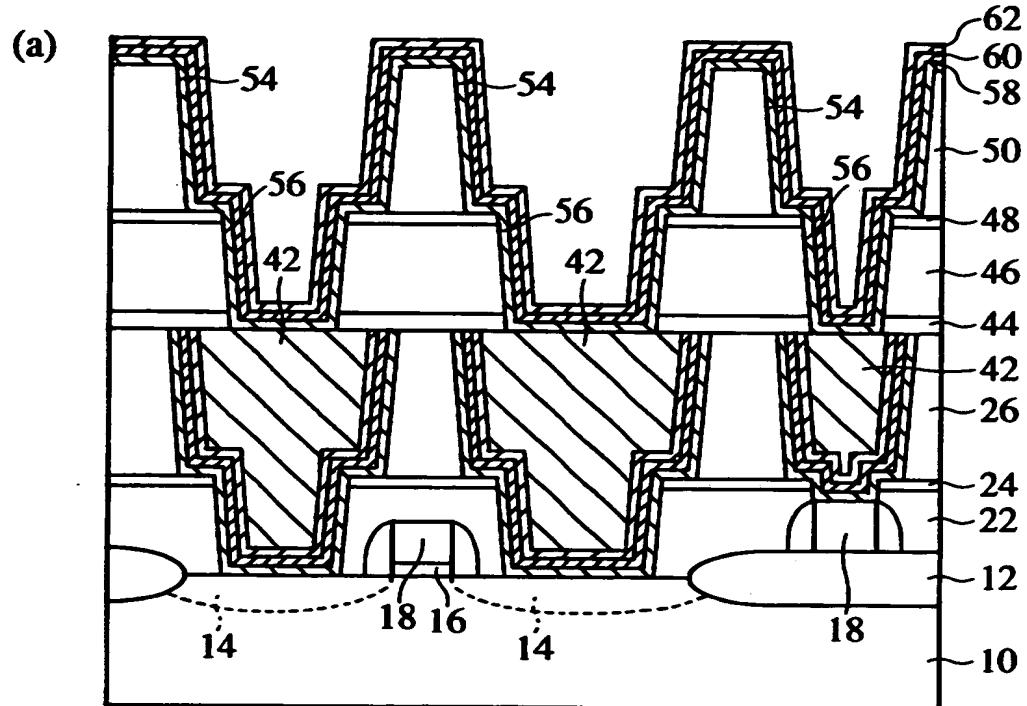
本発明の第1及び第2実施形態による半導体装置の製造方法を  
示す工程断面図(その5)



特2000-236744

【図8】

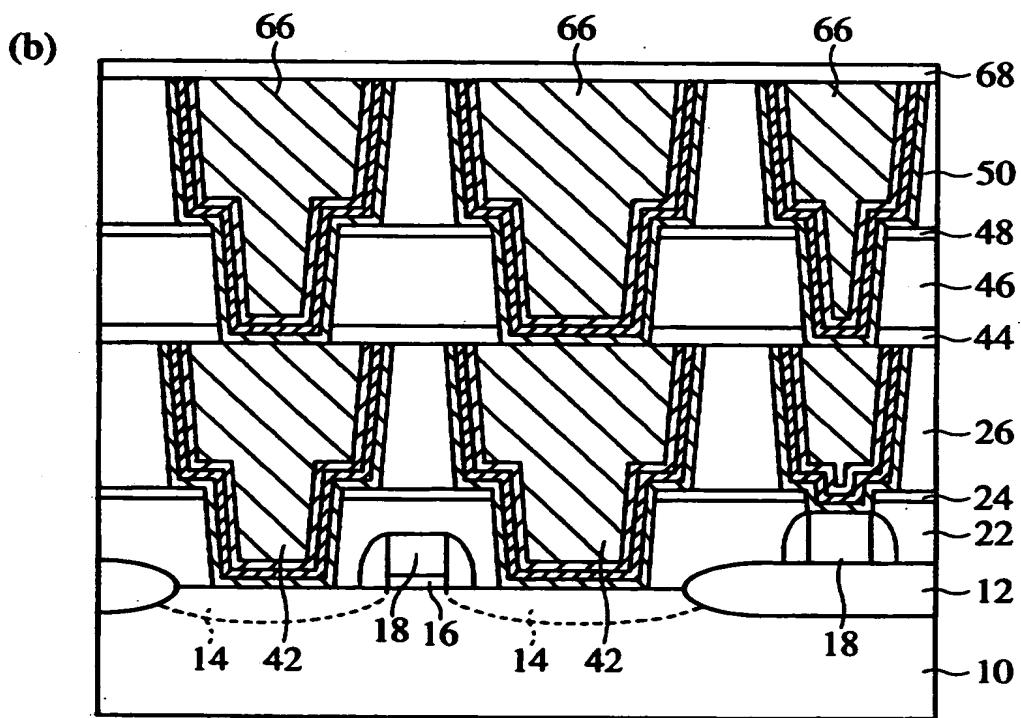
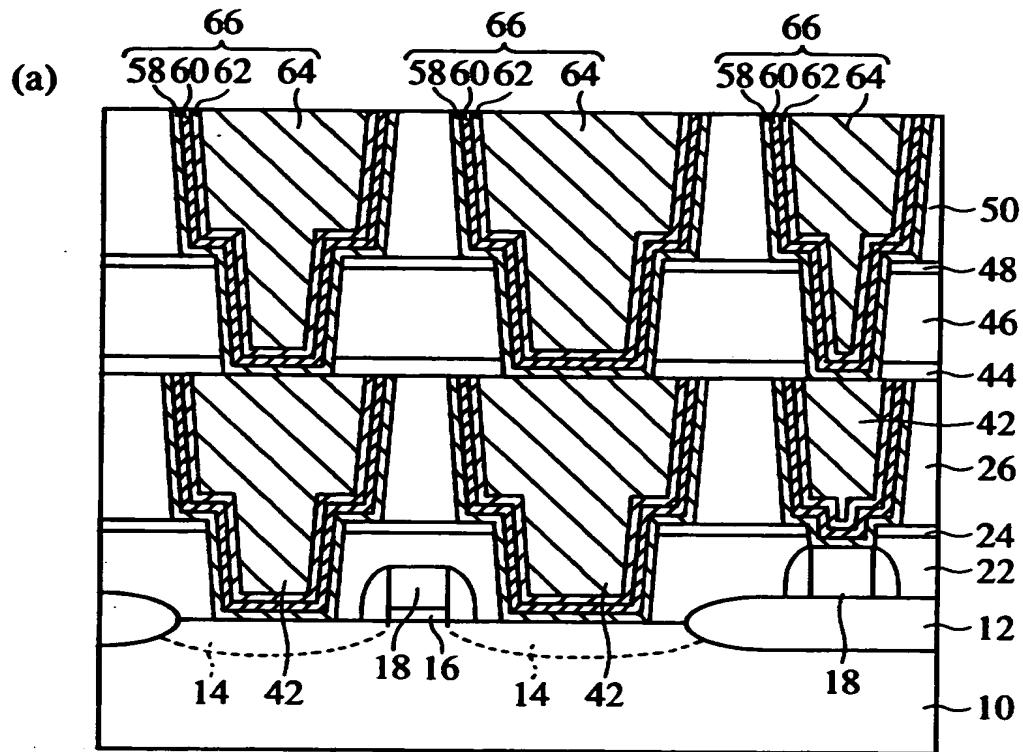
本発明の第1及び第2実施形態による半導体装置の製造方法を  
示す工程断面図(その6)



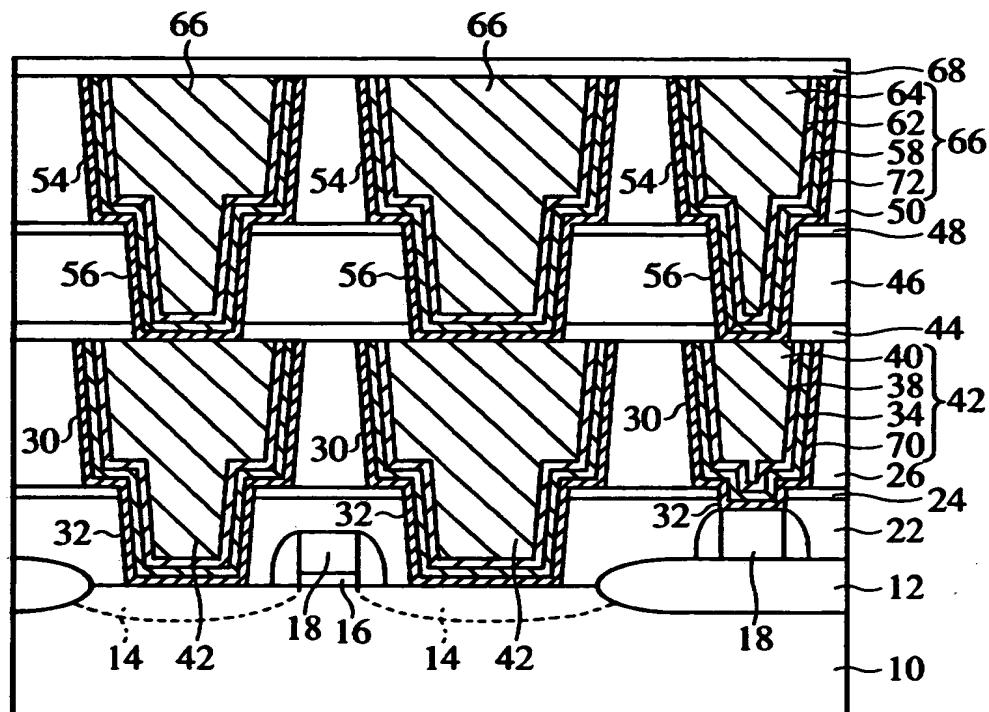
特2000-236744

【図9】

本発明の第1及び第2実施形態による半導体装置の製造方法を  
示す工程断面図(その7)



【図10】

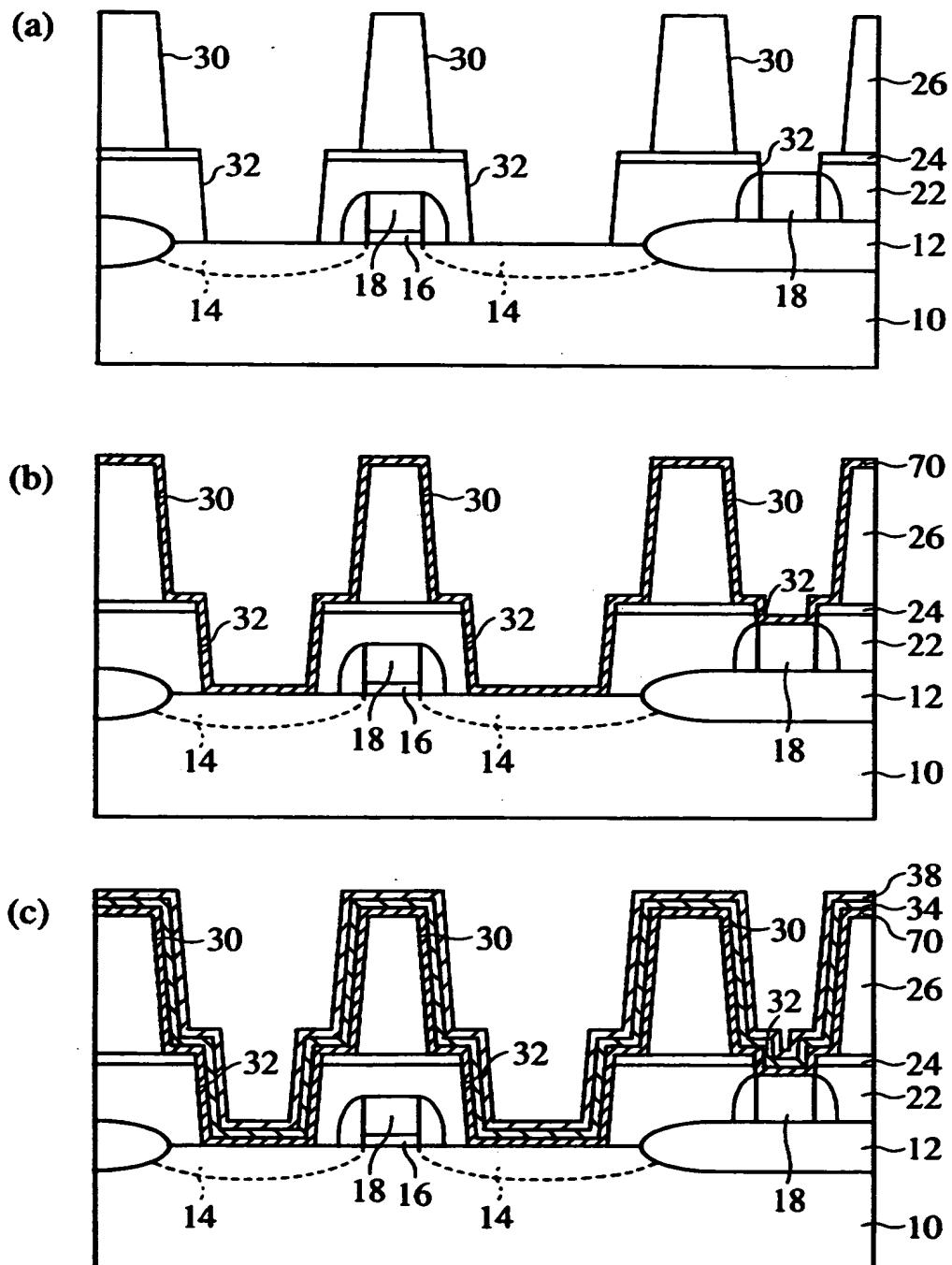
本発明の第3実施形態による半導体装置の構造を示す  
概略断面図

10…シリコン基板  
 12…素子分離膜  
 14…ソース／ドレイン拡散層  
 16…ゲート絶縁膜  
 18…ゲート電極  
 20…サイドウォール絶縁膜  
 22、26、46、50…層間絶縁膜  
 24、48…ストッパ膜

30、54…配線溝  
 32、56…ビアホール  
 34、58…バリア層  
 38、62…シード層としてのCu膜  
 40、64…Cu膜  
 42、66…配線層  
 44、68…配線保護膜  
 70、72…密着層

【図11】

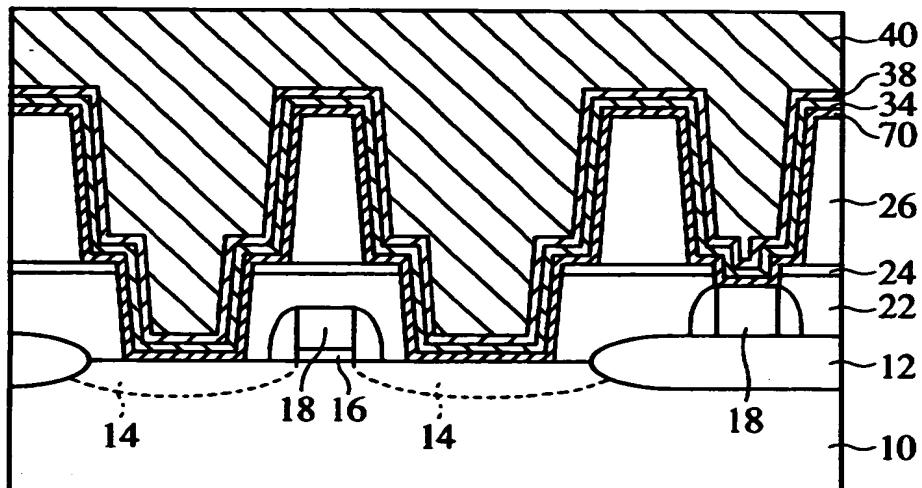
## 本発明の第3実施形態による半導体装置の製造方法を示す 工程断面図(その1)



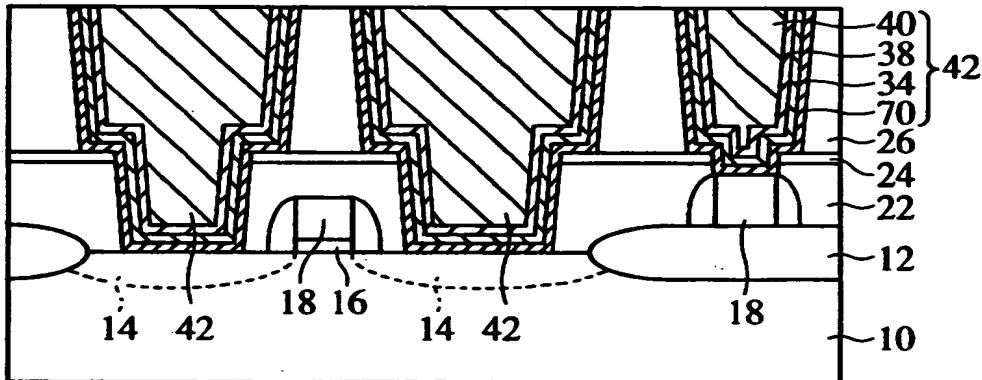
【図12】

本発明の第3実施形態による半導体装置の製造方法を示す  
工程断面図(その2)

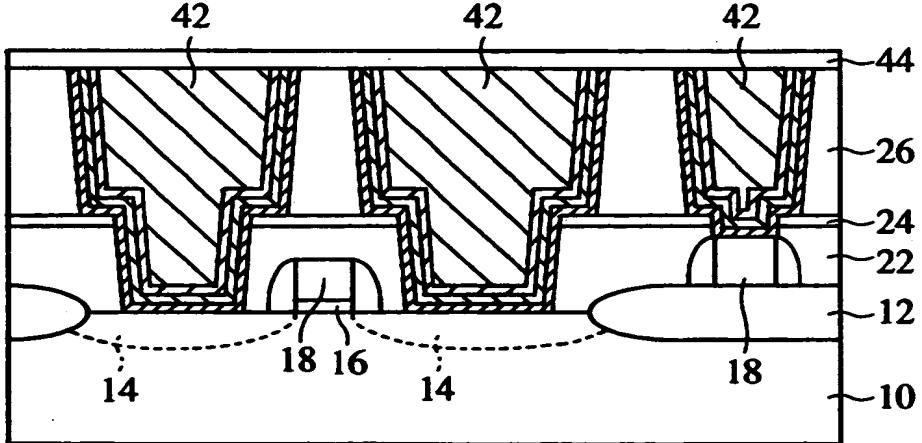
(a)



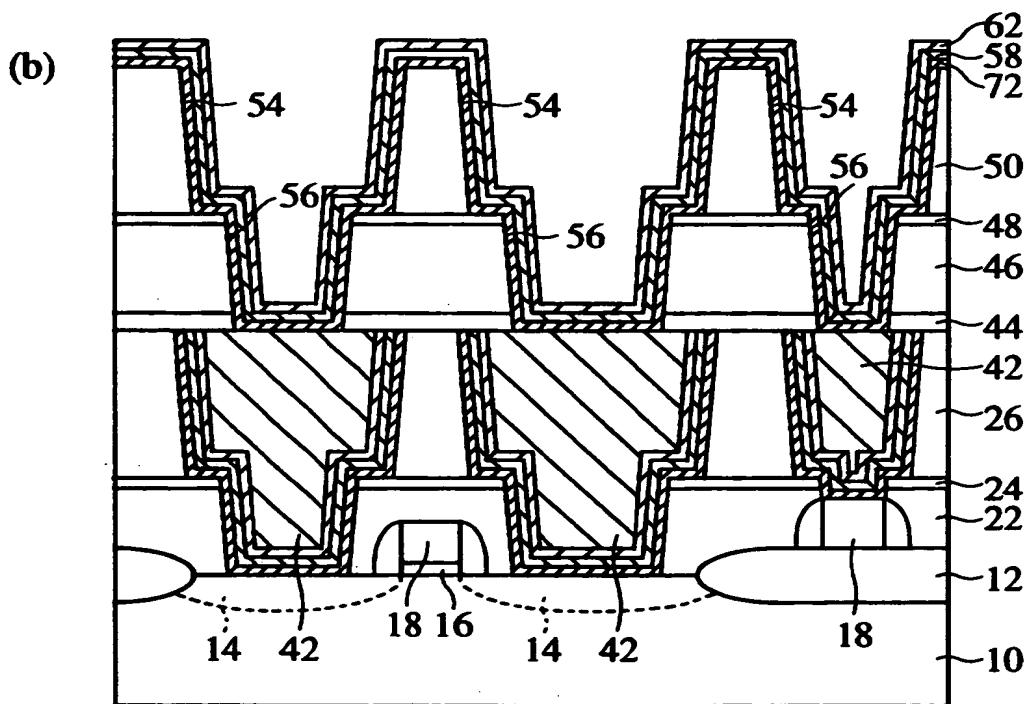
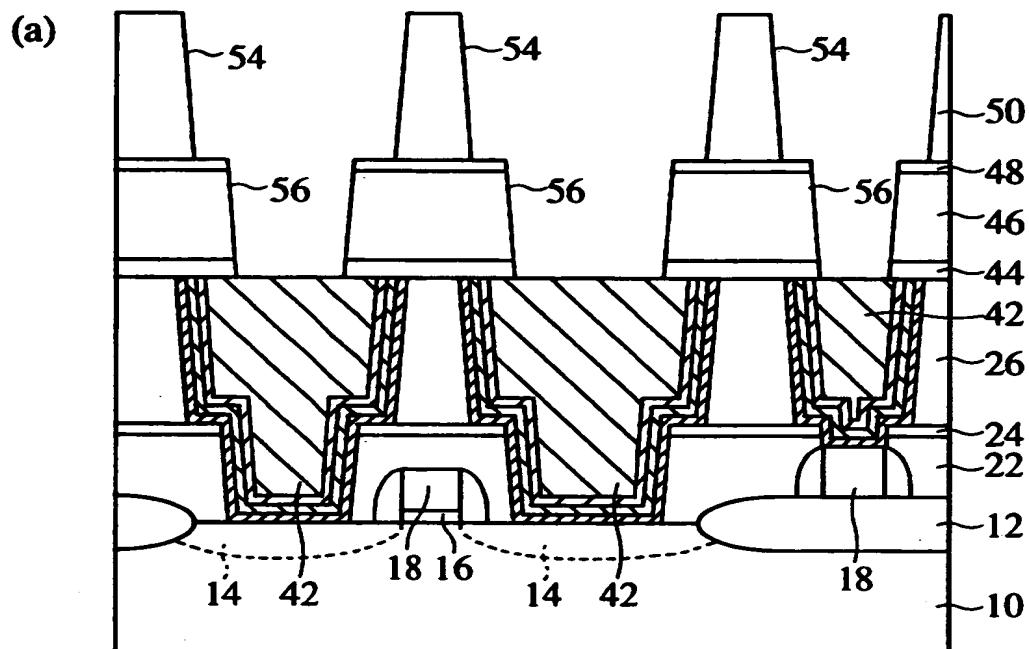
(b)



(c)



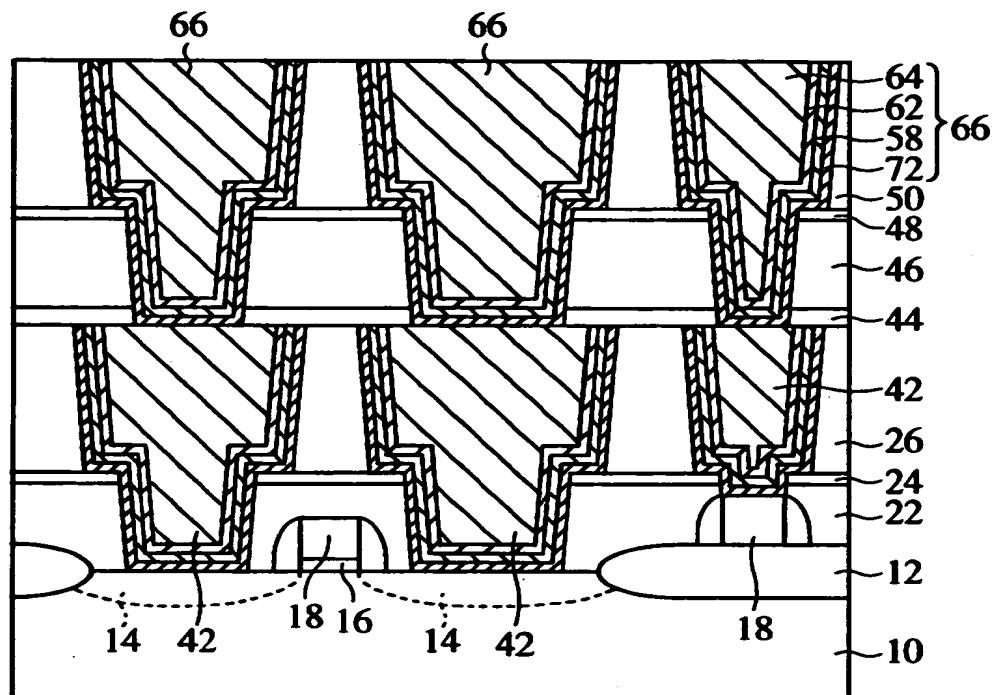
【図13】

本発明の第3実施形態による半導体装置の製造方法を示す  
工程断面図(その3)

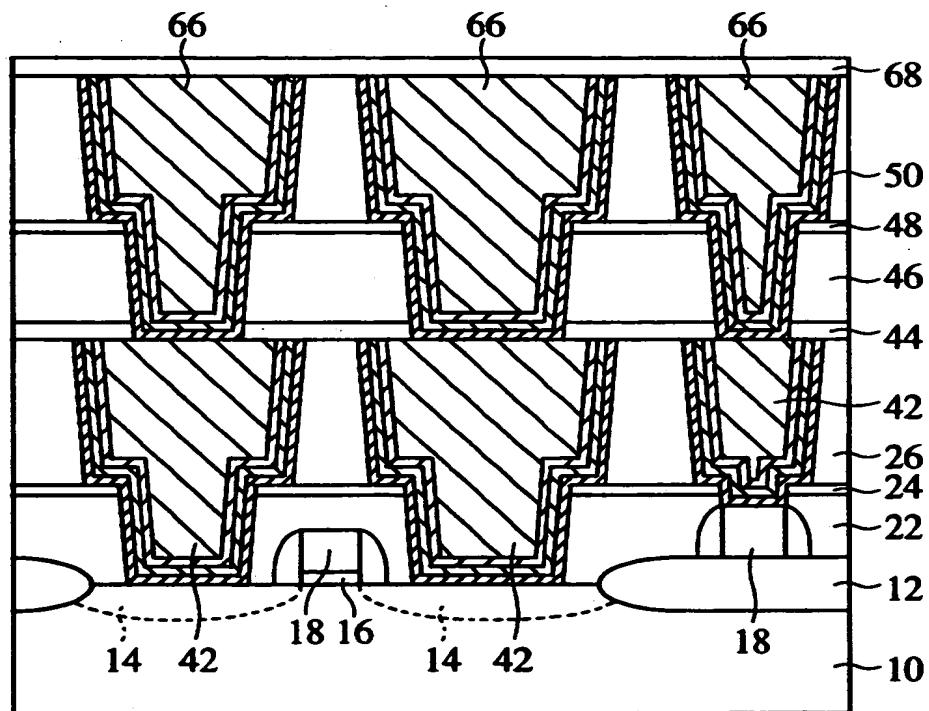
【図14】

本発明の第3実施形態による半導体装置の製造方法を示す  
工程断面図(その4)

(a)

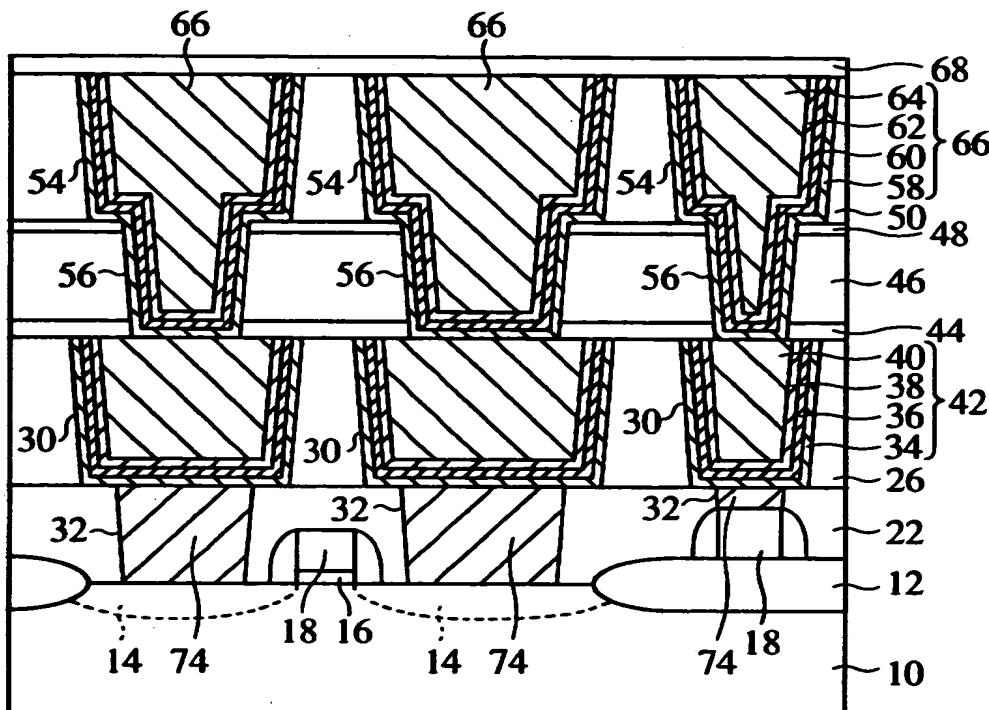


(b)



【図15】

本発明の第4実施形態による半導体装置の構造を示す  
概略断面図



10…シリコン基板

12…素子分離膜

14…ソース／ドレイン拡散層

16…ゲート絶縁膜

18…ゲート電極

20…サイドウォール絶縁膜

22、26、46、50…層間絶縁膜

48…ストップ膜

30、54…配線溝

32、56…ビアホール

34、58…バリア層

36、60…密着層

38、62…シード層としてのCu膜

40、64…Cu膜

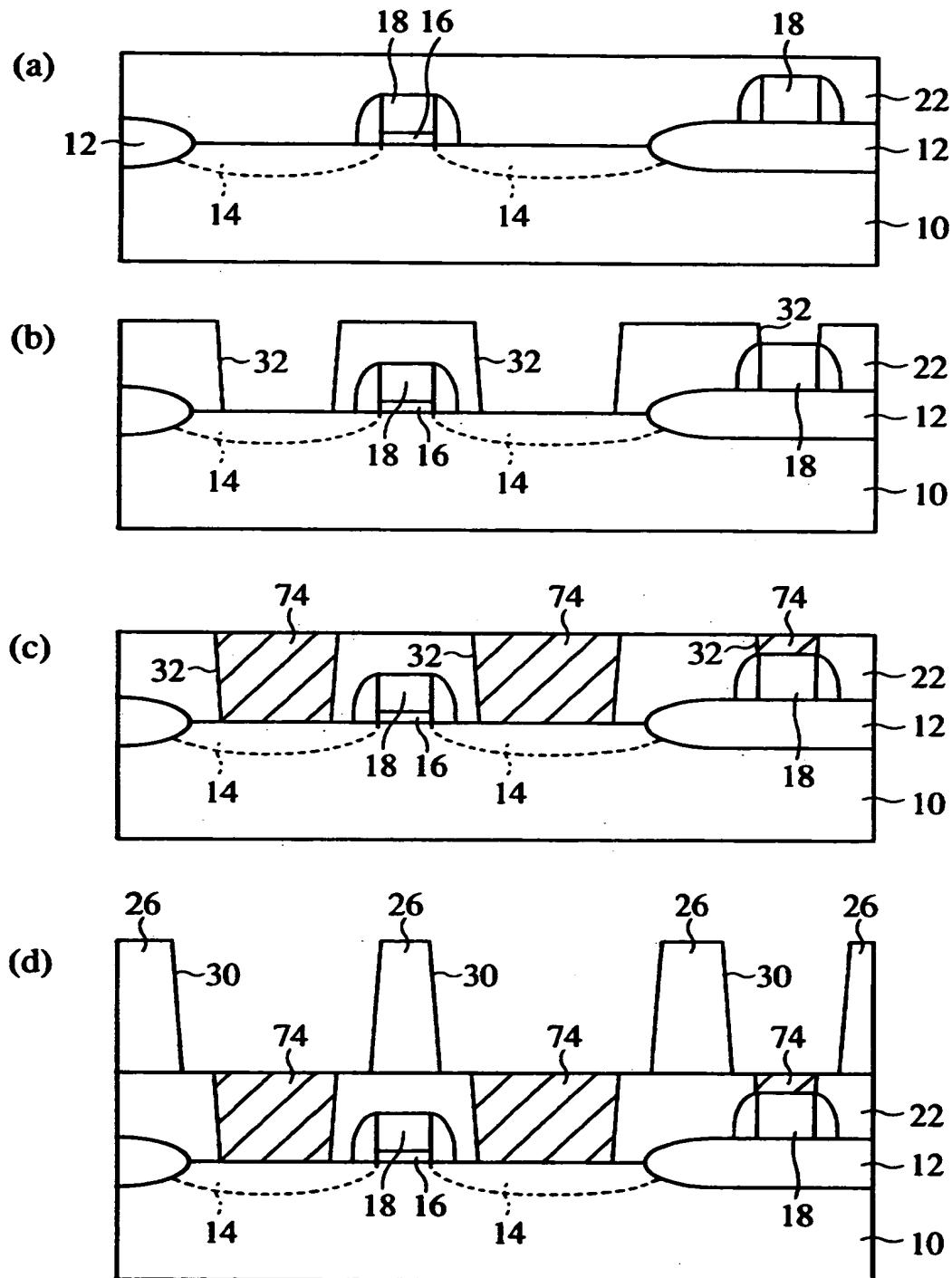
42、66…配線層

44、68…配線保護膜

70、72…密着層

74…電極プラグ

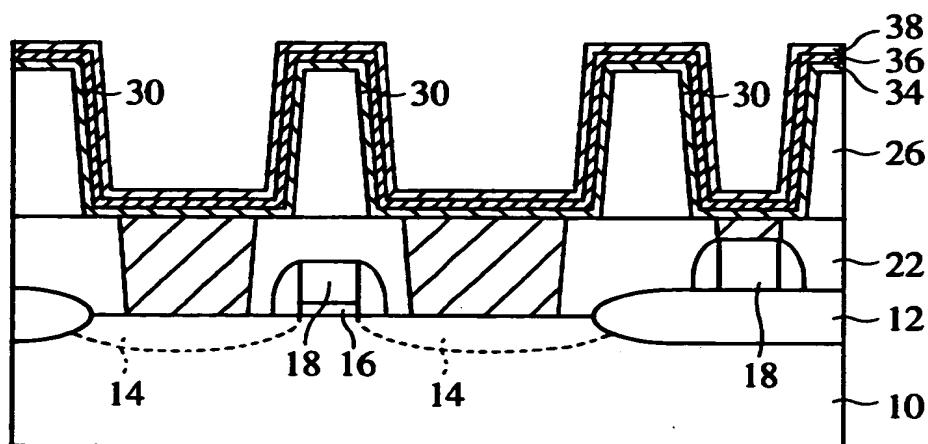
【図16】

本発明の第4実施形態による半導体装置の製造方法を示す  
工程断面図(その1)

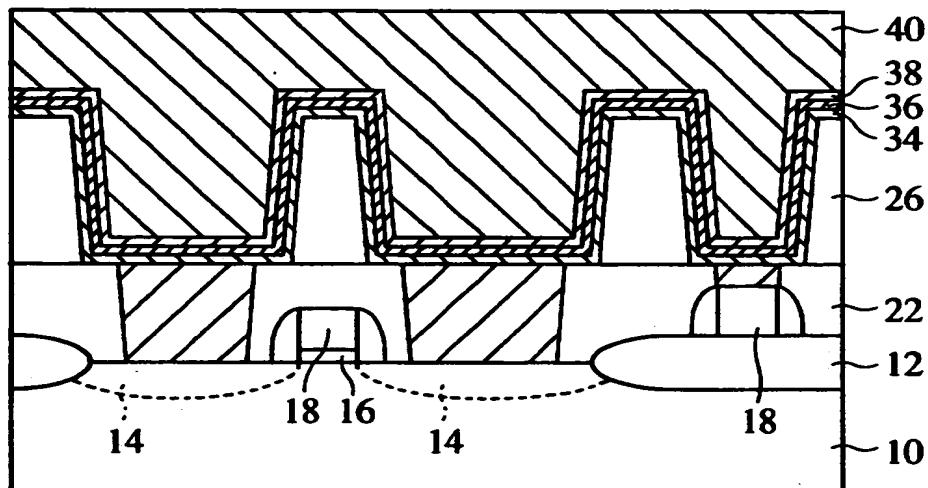
【図17】

本発明の第4実施形態による半導体装置の製造方法を示す  
工程断面図(その2)

(a)

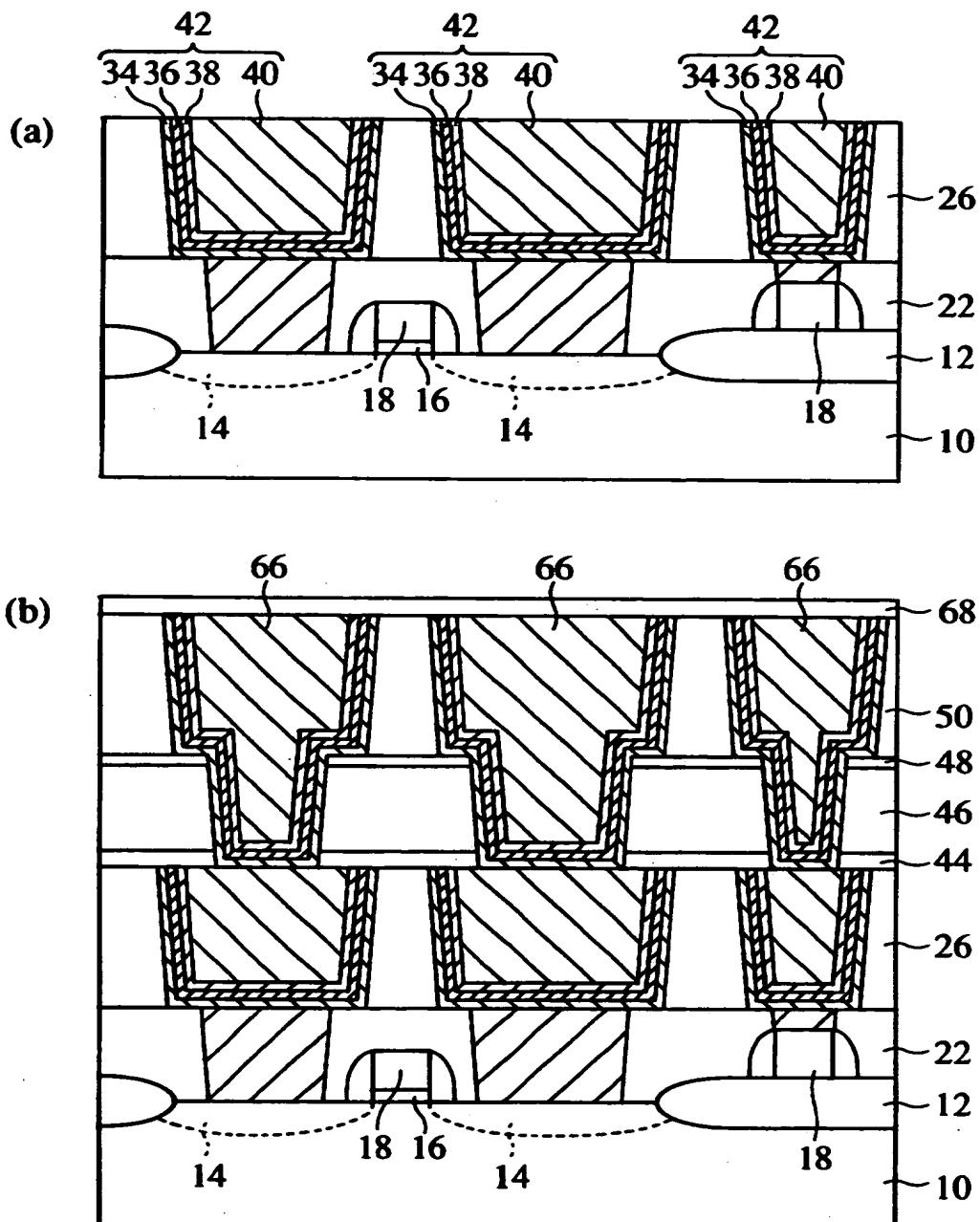


(b)



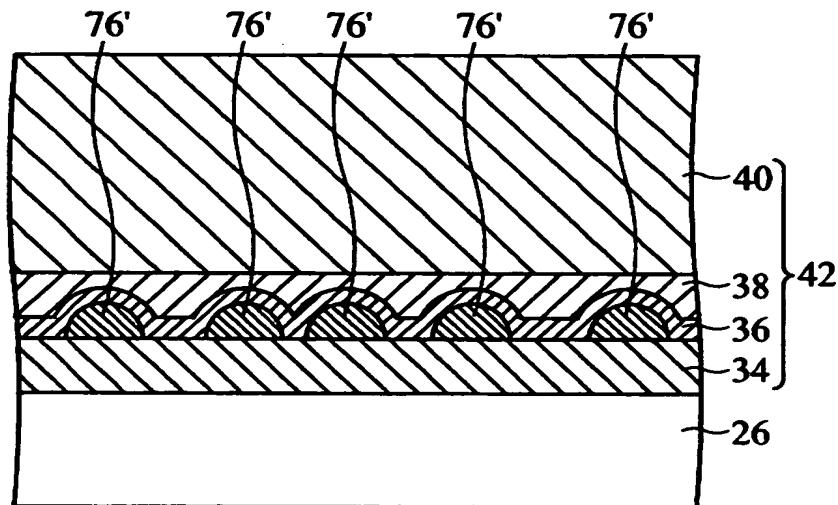
【図18】

本発明の第4実施形態による半導体装置の製造方法を示す  
工程断面図(その3)



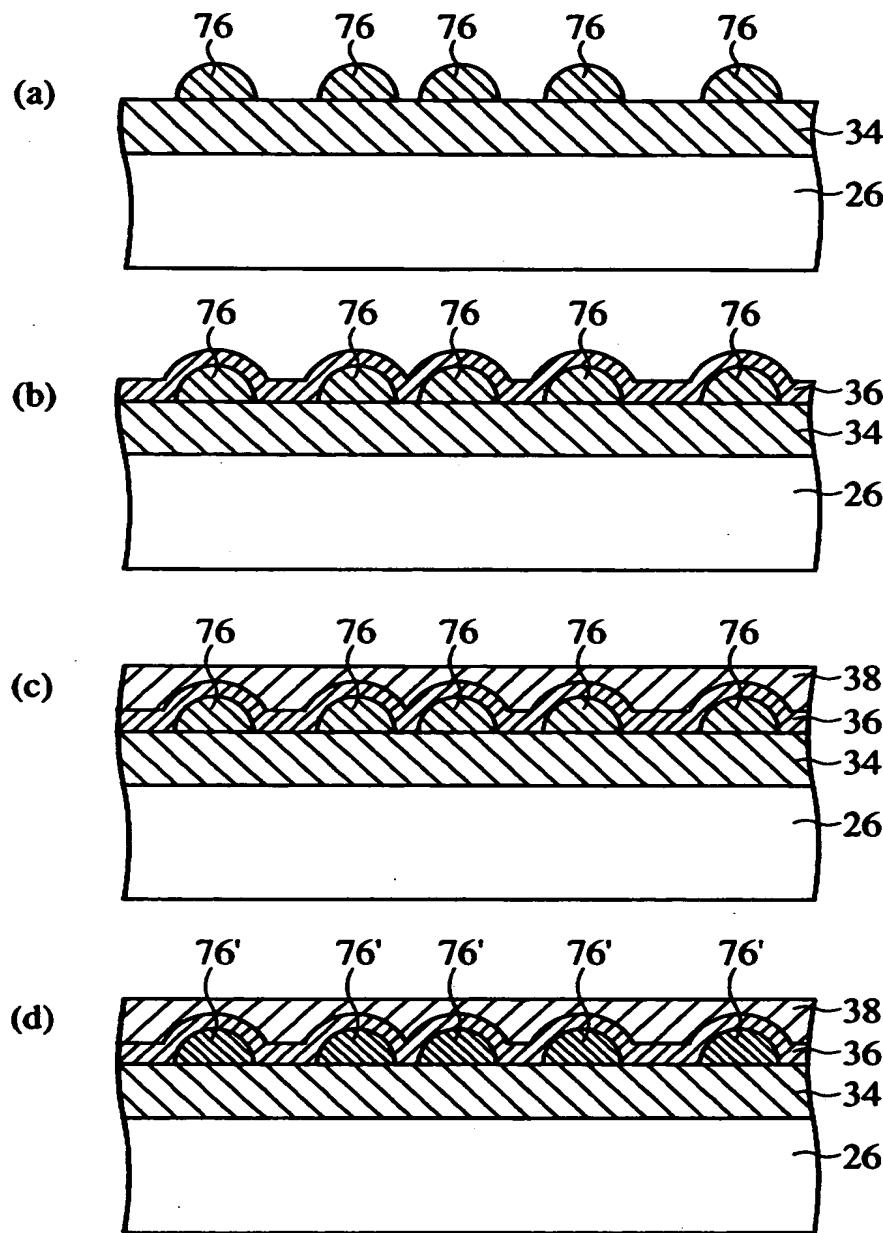
【図19】

本発明の第5実施形態による半導体装置の構造を示す  
概略断面図



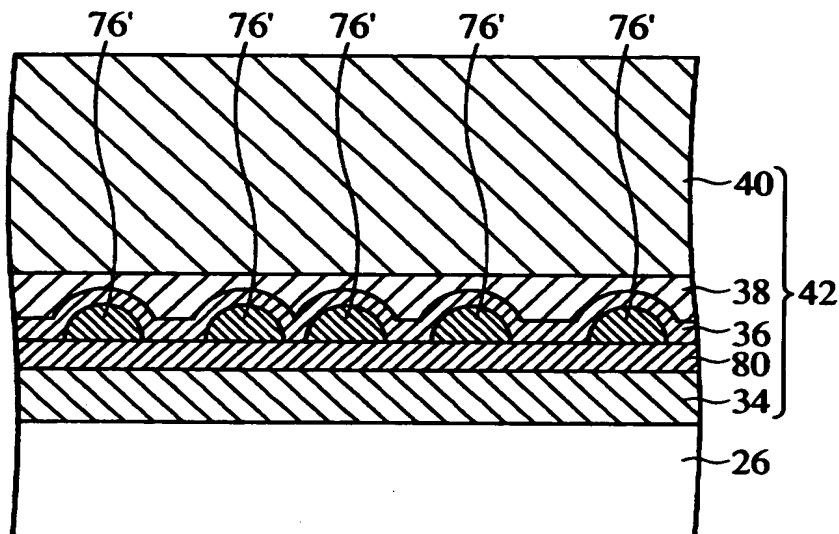
26…層間絶縁膜  
34…バリア層  
36…密着層  
38…シード層としてのCu膜  
40…Cu膜  
42…配線層  
76'…Cu-Zr合金膜

【図20】

本発明の第5実施形態による半導体装置の製造方法を示す  
工程断面図

【図21】

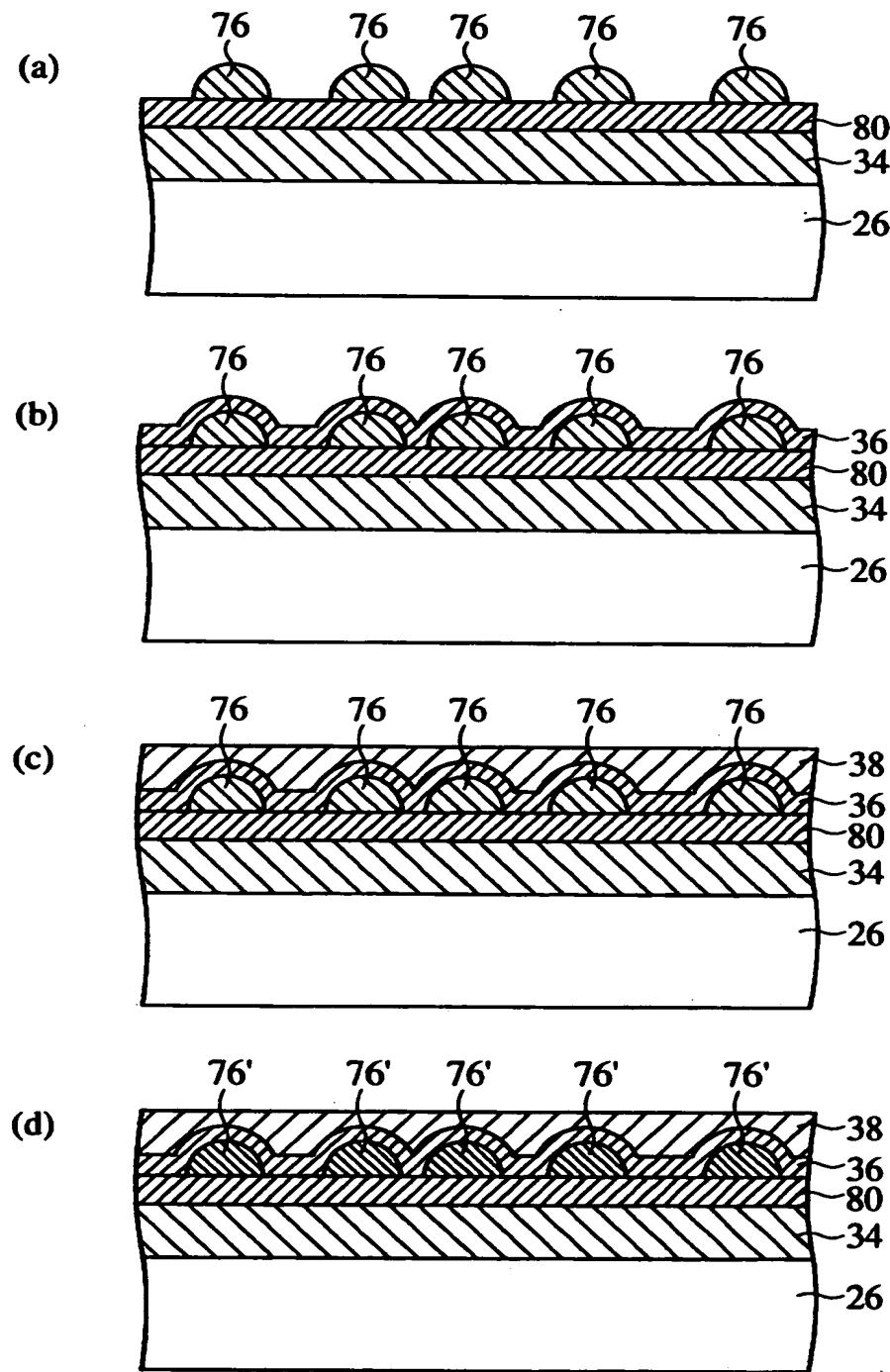
本発明の第6実施形態による半導体装置の構造を示す  
概略断面図



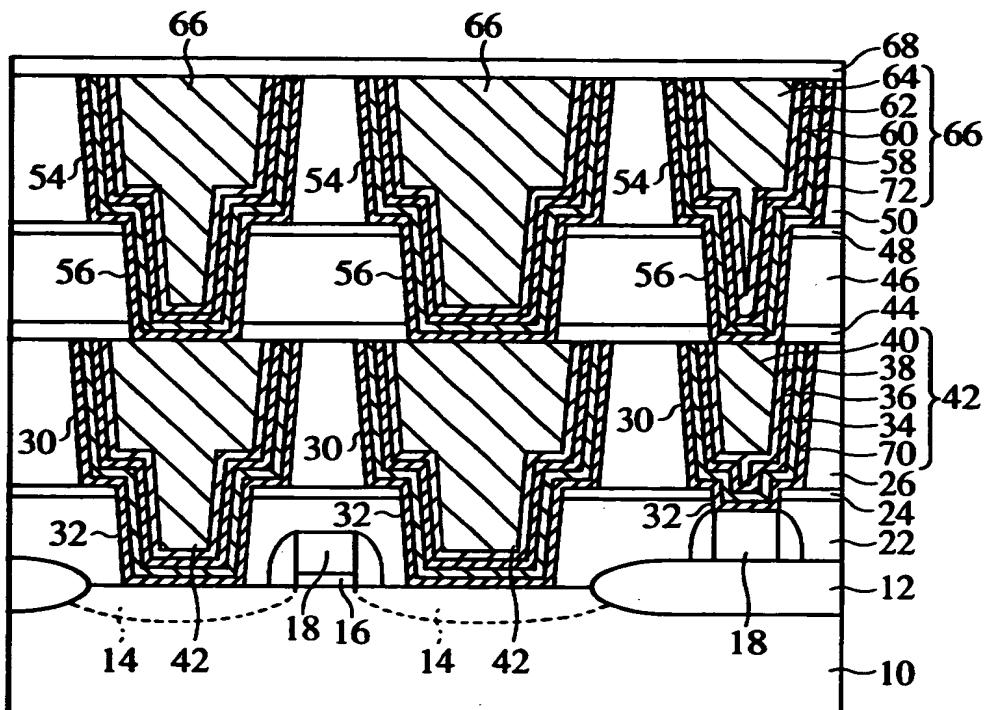
26…層間絶縁膜  
34…バリア層  
36、80…密着層  
38…シード層としてのCu膜  
40…Cu膜  
42…配線層  
76'…Cu-Zr合金膜

【図22】

本発明の第6実施形態による半導体装置の製造方法を示す  
工程断面図



【図23】

本発明の実施形態の変形例による半導体装置及び  
その製造方法を示す概略断面図

10…シリコン基板

12…素子分離膜

14…ソース／ドレイン拡散層

16…ゲート絶縁膜

18…ゲート電極

20…サイドウォール絶縁膜

22、26、46、50…層間絶縁膜

24、48…トップパ膜

30、54…配線溝

32、56…ビアホール

34、58…バリア層

36、60…密着層

38、62…シード層としてのCu膜

40、64…Cu膜

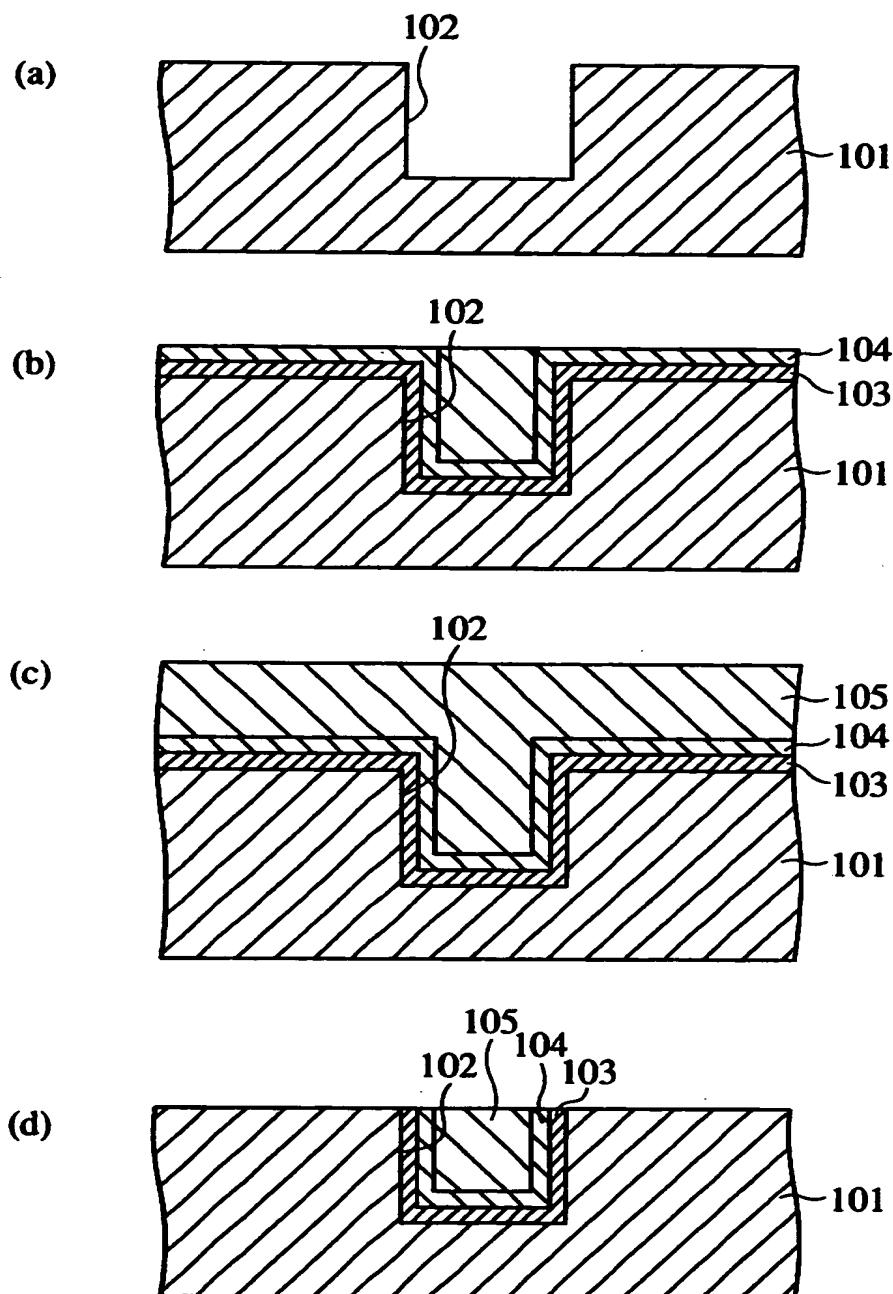
42、66…配線層

44、68…配線保護膜

70、72…密着層

【図24】

従来の半導体装置の製造方法を示す工程断面図



【書類名】 要約書

【要約】

【課題】 銅配線層とバリア層、或いは、バリア層と層間絶縁膜との密着性を高める金属配線構造、半導体装置、金属配線の形成方法及び半導体装置の製造方法半導体装置の構造及びその製造方法を提供する。

【解決手段】 半導体基板10上の絶縁膜22, 26に形成された開口部を埋め込むようにして金属配線42が形成され、金属配線42が半導体基板10上の半導体素子と電気的に接続されている半導体装置において、金属配線42は、開口部30, 32の内壁面を覆うように形成されたバリア層34と、バリア層34上を覆うように形成されたジルコニウムを含む密着層36と、バリア層34及び密着層36を介して開口部に埋め込まれた銅を主成分とする配線材38, 40とを有する。

【選択図】 図2

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社